

#2 IDS

(12)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-68487
(P2000-68487A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. ⁷	識別記号	F I		テームト [*] (参考)
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 F 0 0 1
21/8247		29/78	3 7 1	5 F 0 8 3
29/788				
29/792				

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平10-240334
(22) 出願日 平成10年8月26日 (1998.8.26)

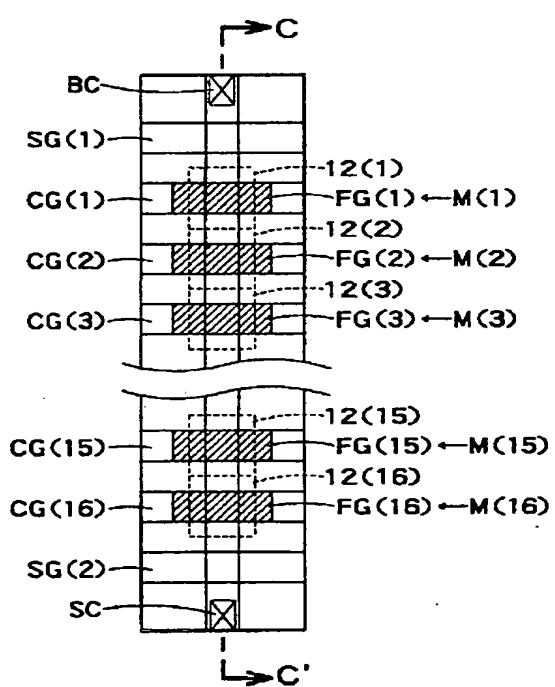
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 百 富 正 樹
三重県四日市市山之一色町800 株式会社
東芝四日市工場内
(74) 代理人 100064285
弁理士 佐藤 一雄 (外3名)
Fターム(参考) 5F001 AA23 AB08 AD19 AD21 AD22
AD41 AD53 AF05 AG12
5F083 EP23 EP76 PR36

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 不揮発性半導体記憶装置のNAND型メモリセルにセル電流が流れた場合の中性しきい値のばらつきを抑制する。

【解決手段】 NAND型メモリセルを構成する各メモリセルM(1)～M(16)のチャネルインプラ領域12(1)～12(16)の不純物濃度を、セル電流が流れる方向に向かうにしたがって、高くなるように、構成する。すなわち、セル電流が流れない状態では、ソース線コンタクトSC側のメモリセルMの方の中性しきい値が、高くなるよう構成する。これにより、セル電流を流した際における基板バイアス効果による中性しきい値の変化をキャンセルできる。



【特許請求の範囲】

【請求項1】半導体基板上に浮遊ゲートと制御ゲートとが積層され、隣接するもの同士でソース/ドレイン領域を共有する形で直列的に接続されてNAND型メモリセルを構成するためのメモリセルを複数備えた不揮発性半導体記憶装置であって、

前記NAND型メモリセルの読み出し時にセル電流が流れる方向に対し、セル電流の上流側のメモリセルの中性しきい値よりも、セル電流の下流側のメモリセルの中性しきい値の方が、高くなるよう、構成されていることを特徴とする不揮発性半導体記憶装置。

【請求項2】前記メモリセルの中性しきい値は、セル電流の上流側から下流側へ向かうにしたがって、順次、高くなるよう、構成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記メモリセルの中性しきい値は、1又は複数のメモリセルをまとめたグループ単位で、順次高くなるよう、構成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】前記メモリセルは、前記メモリセルのチャネルインプラ領域の不純物濃度を变化させることにより、中性しきい値を变化させたことを特徴とする請求項1乃至請求項3のいずれかに記載の不揮発性半導体記憶装置。

【請求項5】前記メモリセルは、前記メモリセルのゲート長を变化させることにより、中性しきい値を变化させたことを特徴とする請求項1乃至請求項3のいずれかに記載の不揮発性半導体記憶装置。

【請求項6】前記NAND型メモリセルにおけるセル電流の最も下流側に設けられたメモリセルのゲート長のみが、他のメモリセルよりも長く構成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に関するものであり、特に、メモリセルが複数個直列的に接続配置されたNAND型メモリセルを有する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】図10(a)は、従来の不揮発性半導体記憶装置における、複数のメモリセルが直列的に接続されて形成されたNAND型セルアレイの平面図であり、図10(b)は、その等価回路を示す図である。図11(a)は、図10(a)におけるA-A'断面図であり、図11(b)は、図10(a)におけるB-B'断面図である。

【0003】図11からわかるように、各メモリセルは浮遊ゲートFGと制御ゲートCGとを備えて構成されている。各メモリセルは浮遊ゲートFGに電荷を蓄えたり、蓄えた電荷を排出したりすることにより、データを

保持することができるよう構成されている。

【0004】図10及び図11からわかるように、この従来技術に係る不揮発性半導体記憶装置においては、16個のメモリセルM(1)～M(16)からNAND型メモリセルが構成されている。すなわち、16個のメモリセルM(1)～M(16)がソース/ドレイン領域SDを共有する形で直列的に接続されることにより、NAND型メモリセルが構成されている。メモリセルM

(1)のドレイン側には、選択ゲートSG(1)が設けられており、メモリセルM(16)のソース側には、選択ゲートSG(2)が設けられている。特に図11

(a)からわかるように、これら選択ゲートSG(1)、SG(2)は、それぞれ、2本の選択ラインで構成されている。ここでは、16個の浮遊ゲートFG(1)～FG(16)と16個の制御ゲートCG(1)～(16)とは、すべて同一寸法で形成されている。

【0005】図11(a)からわかるように、選択ゲートSG(1)のドレイン側には、ビット線BLと接続するドレイン領域Dが形成されている。このビット線BLと接続する部分が、図10(a)に示すビット線コンタクトBCを形成している。また、図11(a)からわかるように、選択ゲートSG(2)のソース側には、ソース線と接続するソース領域Sが形成されている。このソース線と接続する部分が、図10に示すソース線コンタクトSCを形成している。

【0006】

【発明が解決しようとする課題】上述したようなNAND型セルアレイを有する不揮発性半導体記憶装置におけるデータの読み出しは、選択されたメモリセルMの制御ゲートCGを0Vにし、その他の制御ゲートCGにオン電圧を印加することにより、ビット線BLに与えた電圧がソース領域Sに伝達されるまでにどの程度低下するかで、判断される。すなわち、セル電流が流れるか、流れないかで、判断される。

【0007】この際、個々のメモリセルMが同じ中性しきい値を有していても、ビット線BLに近いメモリセルMと、ビット線BLに遠いメモリセルとで、セル電流が流れることによる基板バイアス効果により、NAND型セルアレイとして中性しきい値を見たときにばらつきが生じる。ここで、中性しきい値とは、各メモリセルMの浮遊ゲートFGに電荷がたまってもいないし、掃き出されてもいない状態の、しきい値をいうものである。つまり、浮遊ゲートFGにある電子の数と正孔の数とが同じであり、したがって中性状態にある場合の、しきい値をいうものである。NAND型メモリセルの各メモリセルM(1)～M(16)とこの中性しきい値との関係を示したのが、図12である。

【0008】この図12は、図10及び図11に示すNAND型セルアレイに紫外線照射を行って、各メモリセルM(1)～M(16)の中性しきい値を測定した結果

を示すグラフである。この図12からわかるように、ビット線BLに近いメモリセルMの方が、ビット線BLに遠いメモリセルMよりも、中性しきい値が高い。換言すれば、ビット線BLに近いメモリセルM(1)から、ビット線BLに遠いメモリセルM(16)に向かって、順に、中性しきい値が低くなっている。このようにメモリセルMの中性しきい値がばらつくと、NAND型メモリセル全体の中性しきい値のばらつきを拡大させる。NAND型メモリセル全体の中性しきい値がばらつきが拡大すると、製品の歩留まりを低下させ、信頼性の上でも問題となってくる。

【0009】そこで本発明は、上記課題に鑑みてなされたものであり、NAND型メモリセル全体の中性しきい値のばらつきを抑えた不揮発性半導体記憶装置を提供することを目的とする。さらに、このようにメモリセル全体の中性しきい値のばらつきを抑えることにより、製品の歩留まりを向上させ、信頼性を向上させた、不揮発性半導体記憶装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するため、本発明に係る不揮発性半導体記憶装置は、半導体基板上に浮遊ゲートと制御ゲートとが積層され、隣接するもの同士でソース／ドレイン領域を共有する形で直列的に接続されてNAND型メモリセルを構成するためのメモリセルを複数備えた不揮発性半導体記憶装置であって、前記NAND型メモリセルの読み出し時にセル電流が流れる方向に対し、セル電流の上流側のメモリセルの中性しきい値よりも、セル電流の下流側のメモリセルの中性しきい値の方が、高くなるよう、構成されていることを特徴とする。

【0011】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態は、NAND型メモリセルを有する不揮発性半導体記憶装置において、各メモリセルのチャネルインプラ領域の不純物濃度が、各メモリセルのセル電流が流れる方向に向かうにしたがって、高くなるようにすることにより各メモリセルの中性しきい値を順次高くして、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルするようにしたものである。より詳しくを、以下に説明する。

【0012】図1は本実施形態に係る不揮発性半導体記憶装置のNAND型メモリセルを平面的に示す図であり、図2は図1におけるC-C'断面図である。

【0013】図1からわかるように、NAND型メモリセルを構成する16個の各メモリセルM(1)～M(16)は、それぞれ、制御ゲートCG(1)～CG(16)と浮遊ゲートFG(1)～FG(16)とを備えている。このNAND型メモリセルのドレイン側には選択ゲートSG(1)が設けられており、ソース側には選択ゲートSG(2)が設けられている。選択ゲートSG

(1)のドレイン側にはビット線コンタクトBCが形成されている。選択ゲートSG(2)のソース側にはソース線コンタクトSCが形成されている。

【0014】図2からわかるように、各メモリセルM(1)～M(16)は、P型半導体基板10上に形成されている。各メモリセル(1)～M(16)は、ゲート加工後にN型不純物を拡散する、N型トランジスタ構造になっている。これら各メモリセルM(1)～M(16)の中性しきい値を決めるのは、チャネルインプラ領域12(1)～12(16)の不純物濃度である。本実施形態に係るNAND型メモリセルにおけるこのチャネルインプラ領域12(1)～12(16)の不純物(ボロン)のドーズ量は、ビット線コンタクトBCからソース線コンタクトSCに向かうにしたがって、 $3 \times 10^{12} \text{ cm}^{-3}$ から $4.5 \times 10^{12} \text{ cm}^{-3}$ まで、 $0.1 \times 10^{12} \text{ cm}^{-3}$ きざみで変化している。すなわち、メモリセルM(1)のチャネルインプラ領域12(1)のボロンのドーズ量は $3 \times 10^{12} \text{ cm}^{-3}$ であり、メモリセル(2)のチャネルインプラ領域12(2)のボロンのドーズ量は $3.1 \times 10^{12} \text{ cm}^{-3}$ である。これ以降のメモリセルM(3)…についてもこれらと同様に $0.1 \times 10^{12} \text{ cm}^{-3}$ 毎にドーズ量が増えていき、メモリセル12(15)のチャネルインプラ領域12(15)のボロンのドーズ量は $4.4 \times 10^{12} \text{ cm}^{-3}$ であり、メモリセル12(16)のチャネルインプラ領域12(16)のボロンのドーズ量は $4.5 \times 10^{12} \text{ cm}^{-3}$ である。

【0015】このようにチャネルインプラ領域12

(1)～12(16)の不純物のドーズ量が、セル電流が流れる方向であるビット線コンタクトBC側からソース線コンタクトSCに向かうにしたがって、多くなるようにしたので、メモリセルM(1)の中性しきい値が最も低くなり、このメモリセルM(1)からソース線コンタクトSCに向かうにしたがって中性しきい値が高くなり、メモリセルM(16)の中性しきい値が最も高くなるよう構成されている。

【0016】これら図1及び図2に示したようなNAND型メモリセルのチャネルインプラ領域12(1)～12(16)は、次のような製造工程で得ることができる。

【0017】まず、チャネルインプラ領域12(1)上に開口を有するレジストを、リソグラフィ工程により形成する。そして、このレジスト上からボロンを $3 \times 10^{12} \text{ cm}^{-3}$ の濃度でインプラして、チャネルインプラ領域12(1)を形成する。次に、チャネルインプラ領域12(2)上に開口を有するレジストを、リソグラフィ工程により形成する。そして、このレジスト上からボロンを $3.1 \times 10^{12} \text{ cm}^{-3}$ の濃度でインプラをして、チャネルインプラ領域12(2)を形成する。次に、チャネルインプラ領域12(3)上に開口を有するレジストを、リソグラフィ工程により形成する。そして、このレジ

ト上からボロンを $3.2 \times 10^{12} \text{cm}^{-3}$ の濃度でインブラして、チャンネルインブラ領域12(3)を形成する。

【0018】このようにボロンのドーズ量を $0.1 \times 10^{12} \text{cm}^{-3}$ づつ増やす工程を繰り返して、順次、チャンネルインブラ領域12(4)以降も形成する。最後に、チャンネルインブラ領域16(16)上に開口を有するレジストを、リソグラフィ工程により形成する。そして、このレジスト上からボロンを $4.5 \times 10^{12} \text{cm}^{-3}$ の濃度でインブラして、チャンネルインブラ領域12(16)を形成する。

【0019】以上のようなNAND型メモリセルを有する不揮発性半導体記憶装置において、読み出し時には、ビット線BLに例えば2Vを印加し、ソース線に例えば0Vを印加する。この場合、セル電流はビット線コンタクトBC部分からソース線コンタクトSC部分に向かって流れる。この際、基板バイアス効果により、同じ中性しきい値を有するメモリセルMであっても、このセル電流を流したときの中性しきい値はソース線コンタクトSCに向かうにしたがって、低くなるように作用する。ところが、本実施形態に係るNAND型メモリセルは、上述のように、セル電流が流れない状態ではソース線コンタクトSC側のメモリセルMの方が中性しきい値が高くなるよう構成されている。このため、読み出し時の基板バイアス効果による中性しきい値の変化をキャンセルできる。

【0020】図3は、図1及び図2に示したNAND型メモリセルに紫外線照射を行って、中性しきい値を測定した結果をグラフにして示す図である。この図3からわかるように、セル電流を流した状態で、このNAND型メモリセルの各メモリセルM(1)～M(16)の中性しきい値は、ほぼ一定になる。よって、本実施形態に係るNAND型メモリセルを用いれば、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0021】なお、この第1実施形態においては、リソグラフィ工程数とインブラ工程数とを削減するために、チャンネルインブラ領域12(1)～12(16)を所定のグループ単位にまとめることも可能である。例えば、メモリセルM(1)～M(8)のチャンネルインブラ領域12(1)～12(8)までを1つのグループとして同一の不純物濃度で形成し、メモリセルM(9)～M(16)のチャンネルインブラ領域12(9)～12(16)までを1つのグループとして、チャンネルインブラ領域12(1)～12(8)よりも高い、同一の不純物濃度で形成することも可能である。

【0022】この場合、チャンネルインブラ領域12(1)～12(8)上にまとめて開口が設けられたレジストを形成し、例えば、 $3.3 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインブラを行う。次に、チャンネルインブラ領域

12(9)～12(16)上にまとめて開口が設けられたレジストを形成し、例えば、 $4.0 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインブラを行う。このようにすることにより、リソグラフィ工程とインブラ工程の工程数の削減を図ることができる。しかも、このような構成にNAND型メモリセルをしても、従来よりは、セル電流が流れた時の中性しきい値のばらつきを抑えることができる。

【0023】また、必ずしも、チャンネルインブラ領域12(1)～12(16)を、チャンネルインブラ領域12(1)～12(8)と、12(9)～12(16)との2等分にしなくともよい。例えば、ソース線コンタクトSCに最も近いメモリセルM(16)のチャンネルインブラ領域12(16)上にのみ開口を有するレジストをリソグラフィにより形成し、 $3.1 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインブラを行う。次に、残りのメモリセルM(1)～M(15)のチャンネルインブラ領域12(1)～12(15)上に開口を有するレジストをリソグラフィにより形成し、 $3.0 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインブラを行うようにしてもよい。

【0024】さらに、これらリソグラフィ工程とインブラ工程は、選択ゲートSG(1)、SG(2)に対するこれらの工程を兼ねることもできる。また、周辺回路のこれらの工程と兼ねることもできる。

【0025】また、上述した実施形態とは逆に、読み出し時に、ソース線に例えば2Vの電圧を印加し、ビット線BLに例えば0Vを印加して、セル電流がソース線側からビット線BL側に流れる場合もある。このような場合には、上述した実施形態とは逆に、ソース線コンタクトSCからビット線コンタクトBCに向かうにしたがって、メモリセルMの中性しきい値が高くなるように設定すればよい。

【0026】〔第2実施形態〕本発明の第2実施形態は、NAND型メモリセルを有する不揮発性半導体記憶装置において、メモリセルのゲート長が、各メモリセルのセル電流が流れる方向に向かうにしたがって、長くなるようにすることにより各メモリセルの中性しきい値を順次高くし、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルするようにしたものである。より詳しくを、以下に説明する。

【0027】図4は本実施形態に係る不揮発性半導体記憶装置のNAND型セルアレイを平面的に示す図であり、図5は図4におけるD-D'断面図である。

【0028】図4からわかるように、本実施形態に係る不揮発性半導体記憶装置では、メモリセルM(1)～M(16)のゲート長が、ビット線コンタクトBC側から順に、次第に長くなるよう構成されている。具体的には、メモリセルM(1)の制御ゲートCG(1)と浮遊ゲートFG(1)のゲート長を $0.2 \mu\text{m}$ にし、メモリセルM(2)の制御ゲートCG(2)と浮遊ゲートFG

(2) のゲート長を $0.21\mu\text{m}$ にする。このように、ビット線コンタクトBCからソース線コンタクトSCに向かうにしたがって、 $0.01\mu\text{m}$ づつゲート長を長くしていく。このように $0.01\mu\text{m}$ づつゲート長を長くしていくと、メモリセルM(16)の制御ゲートCG(16)と浮遊ゲートFG(16)のゲート長は $0.35\mu\text{m}$ になる。ゲート長をこのように構成することにより、トランジスタのショートチャネル効果により、ゲート長の短いメモリセルMの中性しきい値は低くなり、ゲート長の長いメモリセルMの中性しきい値は高くなる。

【0029】以上のようなNAND型メモリセルを有する不揮発性半導体記憶装置において、読み出し時には、ビット線BLに例えば2Vを印加し、ソース線には例えば0Vを印加する。この場合、セル電流はビット線コンタクトBC部分からソース線コンタクトSC部分に向かって流れる。この際、基板バイアス効果により、同じ中性しきい値を有するメモリセルMであっても、この中性しきい値はソース線コンタクトSCに向かうにしたがって、低くなるように作用する。ところが、本実施形態に係るNAND型メモリセルは、上述のようにゲート長がビット線コンタクトBCからソース線コンタクトSCに向かうにしたがって長くなるように構成されているので、セル電流が流れない状態ではソース線コンタクトSC側のメモリセルの方が中性しきい値が高くなる。このため、読み出し時の基板バイアス効果による中性しきい値の変化をキャンセルできる。

【0030】図4及び図5に示したNAND型メモリセルに紫外線照射を行って、中性しきい値を測定した場合でも、上述した図3に示すグラフが得られる。すなわち、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0031】なお、この第2実施形態においては、セル面積の増加を抑えるために、ゲート長を所定のメモリセル単位でまとめることも可能である。例えば、図6に示すように、メモリセルM(1)～M(8)のゲート長を $0.2\mu\text{m}$ とし、メモリセルM(9)～M(16)のゲート長を $0.21\mu\text{m}$ とすることも可能である。これによりセル面積の増加を抑制することができ、メモリセルの中性しきい値のばらつきの改善も期待することができる。

【0032】さらに、セル電流が流れる最も下流側であるメモリセルM(16)のゲート長のみを、他のメモリセルM(1)～M(15)のゲート長よりも、長くすることができる。例えば、メモリセルM(1)～M(15)のゲート長を $0.2\mu\text{m}$ とし、メモリセルM(16)のゲート長を $0.21\mu\text{m}$ とすることも可能である。

【0033】また、上述した実施形態とは逆に、読み出し時に、ソース線に例えば2Vの電圧を印加し、ビット

線BLに例えば0Vを印加して、セル電流がソース線側からビット線BL側に流れる場合もある。このような場合には、上述した実施形態とは逆に、ソース線コンタクトSCからビット線コンタクトBLに向かうにしたがって、メモリセルMのゲート長が長くなるように構成すればよい。

【0034】〔第3実施形態〕本発明の第3実施形態は、NAND型メモリセルを有する不揮発性半導体記憶装置において、最もビット線コンタクト寄りに設けられたメモリセルのゲート長を最も短くし、最もソース線コンタクト寄りに設けられたメモリセルのゲート長を最も長くし、これらのメモリセルの間に設けられた他のメモリセルのゲート長をその中間のゲート長に揃えることにより、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルするようにしたものである。より詳しくを、以下に説明する。

【0035】図7は本実施形態に係る不揮発性半導体記憶装置のNAND型セルアレイを平面的に示す図であり、図8は図7におけるE-E'断面図である。

【0036】図7からわかるように、選択ゲートSG(1)と制御ゲートCG(1)の間隔と、選択ゲートSG(2)と制御ゲートSG(16)の間隔とは、スリット部の加工の合わせ等を考慮して、他の制御ゲートSC(2)～CG(15)の間隔よりも、広く設定されている。このようにすると、製造過程におけるリソグラフィ工程のローディング効果により、同じゲート長の開口を有するレジストでエッチングしても、制御ゲートCG(1)、CG(16)のみが他よりも細くなる点に注意する必要がある。

【0037】PEP時のマスク上のゲート寸法はメモリセルM(1)～M(15)までは、 $0.2\mu\text{m}$ 、メモリセルM(16)のみ $0.22\mu\text{m}$ で作成する。ローディング効果による細りを $0.01\mu\text{m}$ とすると、本実施形態におけるメモリセルのゲート長は、メモリセルM(1)が $0.19\mu\text{m}$ 、メモリセルM(2)～M(15)が $0.20\mu\text{m}$ 、メモリセルM(16)が $0.21\mu\text{m}$ で形成される。したがって、単体セルでみると、メモリセルM(1)の中性しきい値が最も低くなり、メモリセルM(2)～M(15)の中性しきい値がこれより高くなり、メモリセルM(16)の中性しきい値が最も高くなる。

【0038】以上のようなNAND型メモリセルを有する不揮発性半導体記憶装置において、読み出し時には、ビット線BLに例えば2Vを印加し、ソース線には例えば0Vを印加する。この場合、セル電流はビット線コンタクトBC部分からソース線コンタクトSC部分に向かって流れる。この際、基板バイアス効果により、同じ中性しきい値を有するメモリセルMであっても、この中性しきい値はソース線コンタクトSCに向かうにしたがって、低くなるように作用する。ところが、本実施形態に

係るNAND型メモリセルは、上述のようにメモリセルM(1)、M(2)～M(15)、M(16)の順にゲート長が長くなるように構成されているので、セル電流が流れない状態ではソース線コンタクトSC側のメモリセルの方が中性しきい値が高くなる。このため、読み出し時の基板バイアス効果による中性しきい値の変化をキャンセルできる。したがって、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0039】図9は、図7及び図8に示したNAND型メモリセルに紫外線照射を行って、中性しきい値を測定した結果をグラフにして示す図である。この図9からわかるように、セル電流を流した状態における、NAND型メモリセルの各メモリセルM(1)～M(16)の中性しきい値のばらつきを、従来より抑えることができる。よって、本実施形態に係るNAND型メモリセルを用いれば、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0040】なお、本発明は上記実施形態に限定されず、種々に変形可能であり、上記実施形態であげた不純物濃度、ゲート長等は、あくまでも例示にすぎない。

【0041】

【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、メモリセルの中性しきい値の設定を、読み出し時に電流が流れる方向に対して、上流側に設けられたメモリセルの中性しきい値よりも、下流側に設けられたメモリセルの中性しきい値の方を、高くするようにしたので、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルでき、中性しきい値ばらつきの少ない、浮遊ゲートの電荷量が各メモリセルで一定の信頼性の高いメモリを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る不揮発性半導体記憶装置の平面図。

【図2】本発明の第1実施形態に係る不揮発性半導体記憶装置の断面図。

【図3】本発明の第1及び第2実施形態に係る不揮発性半導体記憶装置における各メモリセルにセル電流を流した場合の中性しきい値を、グラフにして示す図。

【図4】本発明の第2実施形態に係る不揮発性半導体記憶装置の平面図。

【図5】本発明の第2実施形態に係る不揮発性半導体記憶装置の断面図。

【図6】本発明の第2実施形態に係る不揮発性半導体記憶装置の変形例を示す平面図。

【図7】本発明の第3実施形態に係る不揮発性半導体記憶装置の平面図。

【図8】本発明の第3実施形態に係る不揮発性半導体記憶装置の断面図。

【図9】本発明の第3実施形態に係る不揮発性半導体記憶装置における各メモリセルにセル電流を流した場合の中性しきい値を、グラフにして示す図。

【図10】(a)は従来の不揮発性半導体記憶装置の平面図、(b)は従来の不揮発性半導体記憶装置の等価回路図。

【図11】(a)は図10におけるA-A'断面図、

(b)は図10におけるB-B'断面図。

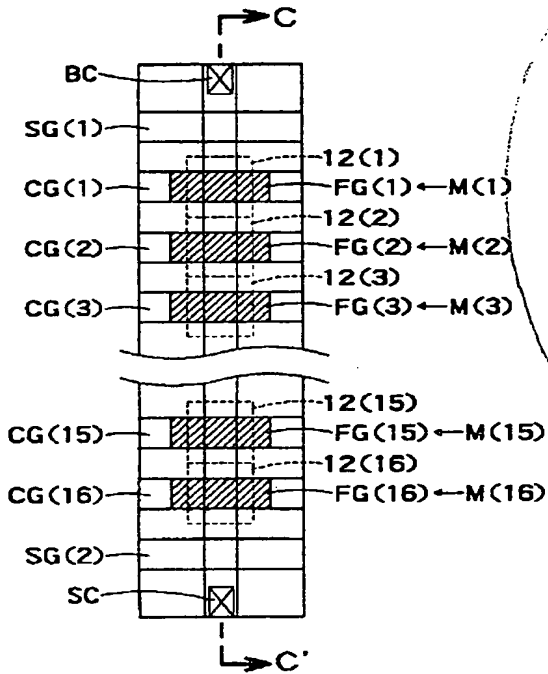
【図12】従来の不揮発性半導体記憶装置における各メモリセルにセル電流を流した場合の中性しきい値を、グラフにして示す図。

【符号の説明】

- SG(1)、SG(2) 選択ゲート
- CG(1)～CG(16) 制御ゲート
- FG(1)～FG(16) 浮遊ゲート
- M(1)～M(16) メモリセル
- BC ビット線コンタクト
- SC ソース線コンタクト
- BL ビット線
- 10 半導体基板
- 12 チャネルインプラ領域

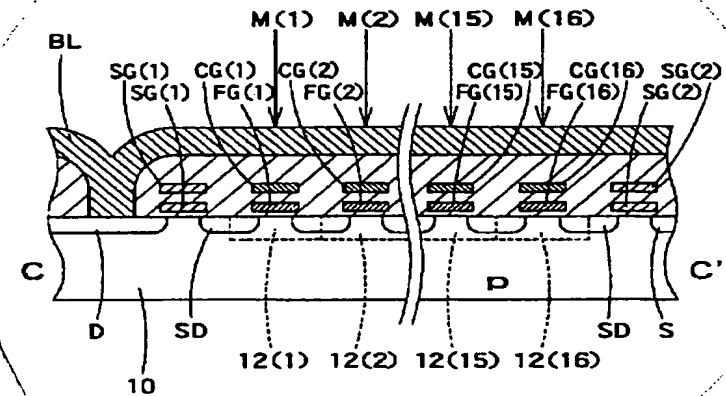
Emb. #1

【図1】



Emb. #1

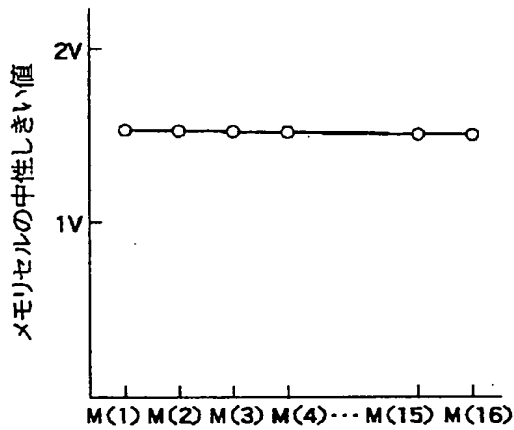
【図2】



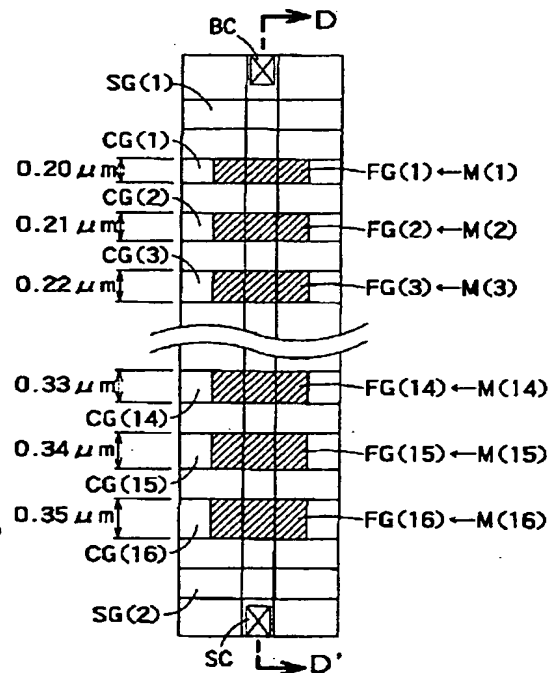
Emb. #1

【図3】

UV照射後のNAND型
メモリセルのしきい値
(場所依存性)

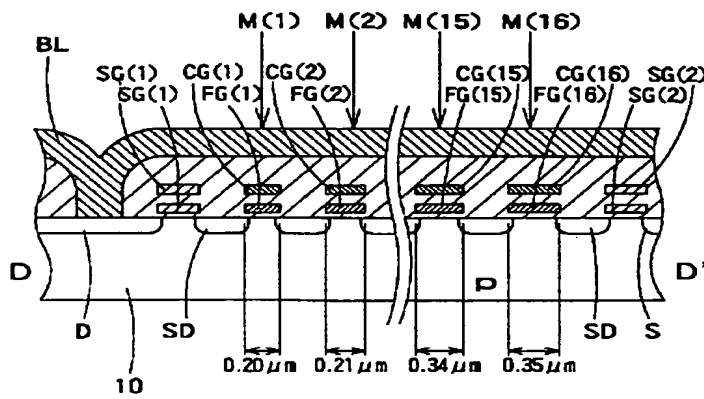


【図4】

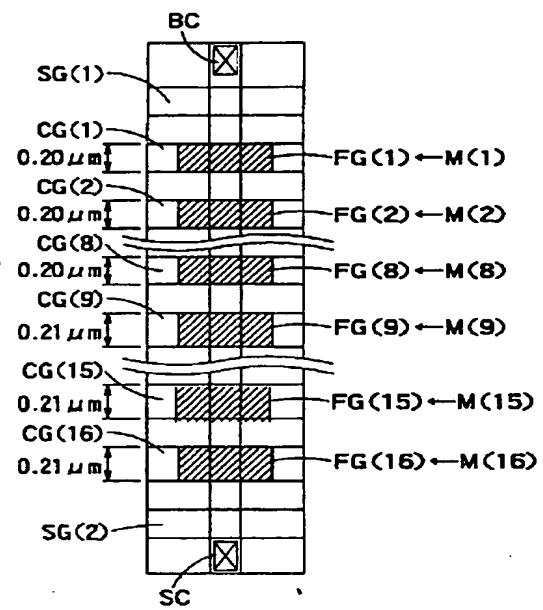


【図5】

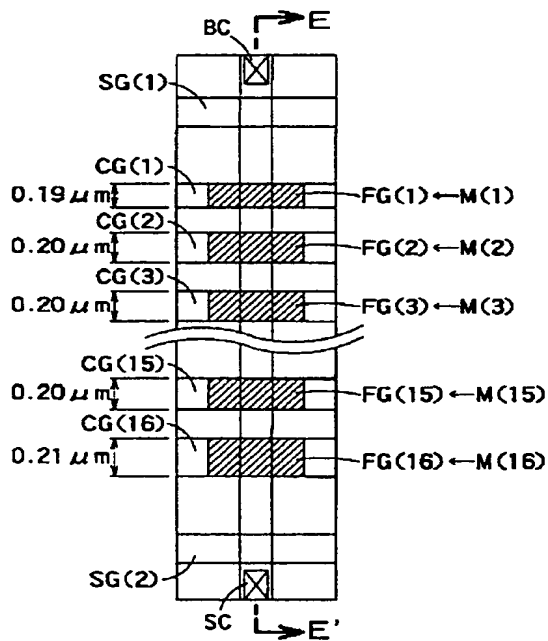
Emb #2



【図6】

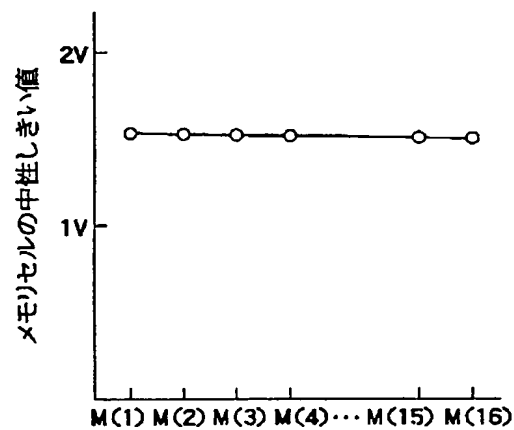


【図7】

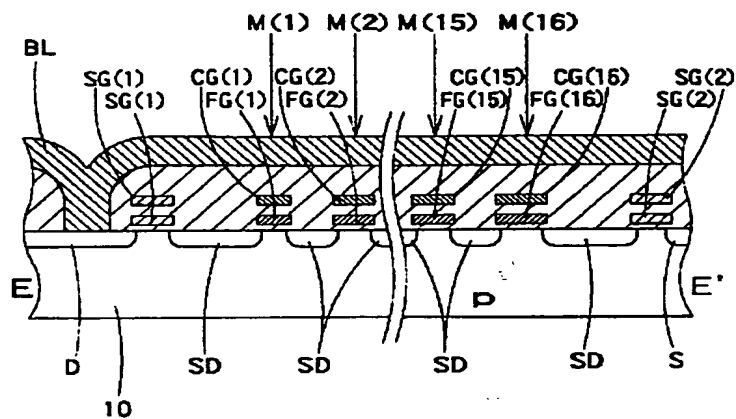


【図9】

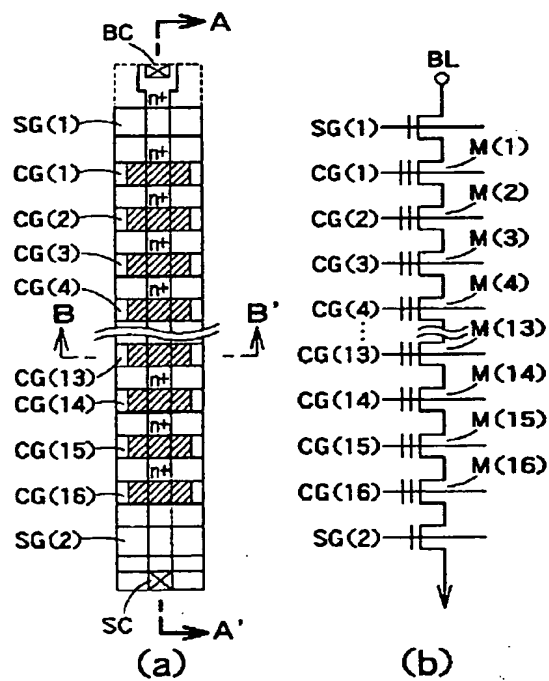
UV照射後のNAND型
メモリのしきい値
(場所依存性)



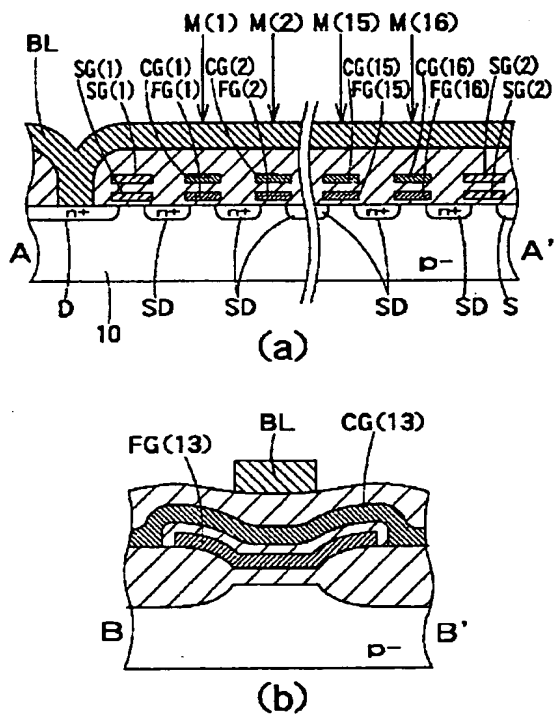
【図 8】 Emb #3



【図 10】

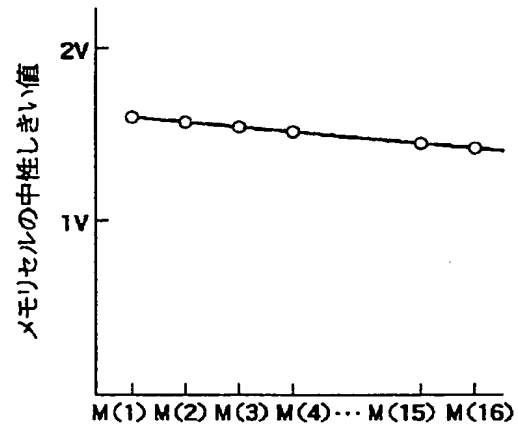


【図 11】



【図12】

UV照射後のNAND型
メモリのしきい値
(場所依存性)



Request Form for Translation

Translation Branch
The world of foreign prior art to you.

Translations

U.S. Serial No.: 10/058,343

Requester's Name: Marcos D. Pizarro-Crespo

Phone No.: 7033086558

Fax No.:

Office Location: CP4-5D22

Art Unit/Org.: AU 2814

Group Director:

Is this for Board of Patent Appeals? NO

Date of Request: 9/5/2003

Date Needed By: 9/19/2003

(Please do not write ASAP-indicate a specific date)

PTO 2003-5411

S.T.I.C. Translations Branch

SPE Signature Required for RUSH:

Document Identification (Select One):

(Note: Please attach a complete, legible copy of the document to be translated to this form)

1. ☒ Patent Document No. 12-068487
Language Japanese
Country Code JP
Publication Date 3/3/2000
(filled by STIC)
2. ☐ Article Author
Language
Country
3. ☐ Other Type of Document
Country
Language
- RECEIVED
2003 SEP -5 PM 4:14
TRANSLATIONS BRANCH
USPTO SCIENTIFIC LIBRARY

Document Delivery (Select Preference):

☒ Delivery to Exmr. Office/Mailbox Date: 9-23-03 (STIC Only)

☐ Call for Pick-up Date: (STIC Only)

STIC USE ONLY

Copy/Search

Processor: QAS
Date assigned: 9-5-03
Date filled:
Equivalent found: (Yes/No)

Doc. No.:
Country:

Remarks: See attached

Translation

Date logged in: 9-8-03
PTO estimated words: 6111
Number of pages: 28
In-House Translation Available:
In-House:
Translator:
Assigned:
Returned:
Contractor:
Name: MC
Priority:
Sent: 9-9-03
Returned: 9-22-03

Phone: 308-0881
Fax: 308-0989
Location: Crystal Plaza 3/4
Room 2C01

To assist us in providing the most cost effective service, please answer these questions:

Will you accept an English Language Equivalent?
NO (Yes/No)

Will you accept an English abstract?
NO (Yes/No)

Would you like a consultation with a translator to review the document prior to having a complete written translation?
NO (Yes/No)

Check here if Machine Translation is not acceptable:
(It is the default for Japanese Patents, '93 and onwards with avg. 5 day turnaround after receipt)
☒

PAT-NO: JP02000068487A

DOCUMENT-IDENTIFIER: JP 2000068487 A

TITLE: NONVOLATILE SEMICONDUCTOR
MEMORY

PUBN-DATE: March 3, 2000

INVENTOR-INFORMATION:

NAME

COUNTRY

MOMOTOMI, MASAKI

N/A

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP10240334

APPL-DATE: August 26, 1998

INT-CL (IPC): H01L027/115, H01L021/8247 ,
H01L029/788 , H01L029/792

ABSTRACT:

PROBLEM TO BE SOLVED: To restrain dispersion of
a neutral threshold, when
cell current flows into an NAND type memory cell of
a nonvolatile semiconductor

memory.

SOLUTION: Impurity concentration of channel implantation regions 12 (1) to 12 (16) of memory cells M (1) to M (16) constituting an NAND-type memory cell is constituted, so that the impurity concentration increases toward. The direction of a current flow. That is, when cell current does not flow, the neutral threshold of a memory cell M at the source line contact SC side is constituted to be high. Thereby, the changes in the neutral threshold caused by board bias effect when a cell current is made to flow can be cancelled.

COPYRIGHT: (C)2000,JPO

DERWENT-ACC-NO: 2000-263183

DERWENT-WEEK: 200023

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Non-volatile semiconductor
memory, has memory cell at
downstream side with high
neutral threshold value, than
that of the cell at upstream
side, due to position of the
cell in a direction opposite
to cell current

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1998JP-0240334 (August 26, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE
JP 2000068487 A		March 3, 2000
N/A	010	H01L 027/115

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR
JP2000068487A	N/A
1998JP-0240334	August 26, 1998

INT-CL (IPC): H01L021/8247, H01L027/115 ,
H01L029/788 , H01L029/792

ABSTRACTED-PUB-NO: JP2000068487A

BASIC-ABSTRACT:

NOVELTY - During reading of the NAND type memory cell, the neutral threshold value of the memory cell (M) at downstream side becomes higher than the neutral threshold value of the memory cell at upstream side, due to the fact that the cell at downstream side is facing in a direction opposite to the cell current.

USE - Non-volatile semiconductor memory.

ADVANTAGE - As the neutral threshold value of the memory cell at downstream side is higher than that of the cell at upstream side, influence of the value by the substrate bias effect during reading is prevented. As variation in neutral threshold value is less, each memory cell with high reliability is obtained.

DESCRIPTION OF DRAWING(S) - The figure shows the top view of non-volatile semiconductor memory.

Memory cell M

CHOSEN-DRAWING: Dwg.1/12

TITLE-TERMS: NON VOLATILE SEMICONDUCTOR MEMORY
MEMORY CELL DOWNSTREAM SIDE HIGH
NEUTRAL THRESHOLD VALUE CELL UPSTREAM
SIDE POSITION CELL DIRECTION
OPPOSED CELL CURRENT

DERWENT-CLASS: U11 U12 U13

EPI-CODES: U11-C18B5; U12-D02A1; U12-D02A2;
U13-C04B2;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-196680

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2000-68487

(P2000-68487A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. ⁷	識別記号	F I	テームト (参考)	
H 0 1 L 27/115		H 0 1 L 27/10	4 3 4	5 F 0 0 1
21/8247		29/78	3 7 1	5 F 0 8 3
29/788				
29/792				

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平10-240334

(22) 出願日 平成10年8月26日 (1998.8.26)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 百 富 正 樹

三重県四日市市山之一色町800 株式会社

東芝四日市工場内

(74) 代理人 100064285

弁理士 佐藤 一雄 (外3名)

Fターム (参考) 5F001 AA23 AB08 AD19 AD21 AD22

AD41 AD53 AF05 AG12

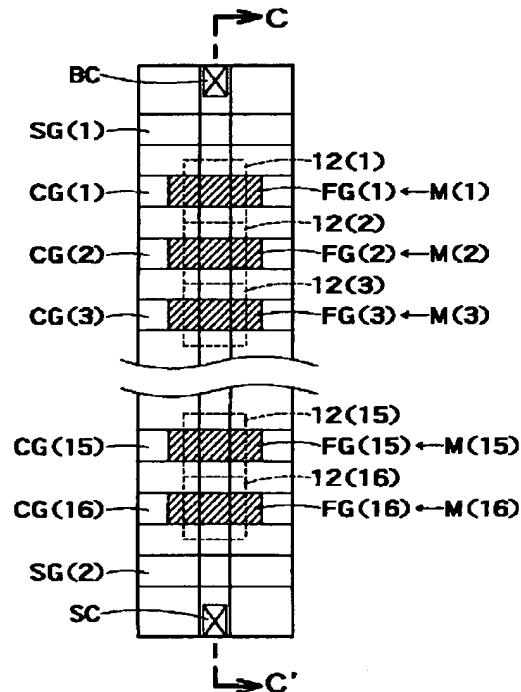
5F083 EP23 EP76 PR36

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 不揮発性半導体記憶装置のNAND型メモリセルにセル電流が流れた場合の中性しきい値のばらつきを抑制する。

【解決手段】 NAND型メモリセルを構成する各メモリセルM(1)～M(16)のチャネルインプラ領域12(1)～12(16)の不純物濃度を、セル電流が流れる方向に向かうにしたがって、高くなるように、構成する。すなわち、セル電流が流れない状態では、ソース線コンタクトSC側のメモリセルMの方の中性しきい値が、高くなるよう構成する。これにより、セル電流を流した際における基板バイアス効果による中性しきい値の変化をキャンセルできる。



【特許請求の範囲】

【請求項1】半導体基板上に浮遊ゲートと制御ゲートとが積層され、隣接するもの同士でソース／ドレイン領域を共有する形で直列的に接続されてNAND型メモリセルを構成するためのメモリセルを複数備えた不揮発性半導体記憶装置であって、

前記NAND型メモリセルの読み出し時にセル電流が流れる方向に対し、セル電流の上流側のメモリセルの中性しきい値よりも、セル電流の下流側のメモリセルの中性しきい値の方が、高くなるよう、構成されていることを特徴とする不揮発性半導体記憶装置。

【請求項2】前記メモリセルの中性しきい値は、セル電流の上流側から下流側へ向かうにしたがって、順次、高くなるよう、構成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】前記メモリセルの中性しきい値は、1又は複数のメモリセルをまとめたグループ単位で、順次高くなるよう、構成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】前記メモリセルは、前記メモリセルのチャネルインプラ領域の不純物濃度を变化させることにより、中性しきい値を变化させたことを特徴とする請求項1乃至請求項3のいずれかに記載の不揮発性半導体記憶装置。

【請求項5】前記メモリセルは、前記メモリセルのゲート長を变化させることにより、中性しきい値を变化させたことを特徴とする請求項1乃至請求項3のいずれかに記載の不揮発性半導体記憶装置。

【請求項6】前記NAND型メモリセルにおけるセル電流の最も下流側に設けられたメモリセルのゲート長のみが、他のメモリセルよりも長く構成されていることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に関するものであり、特に、メモリセルが複数個直列的に接続配置されたNAND型メモリセルを有する不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】図10(a)は、従来の不揮発性半導体記憶装置における、複数のメモリセルが直列的に接続されて形成されたNAND型セルアレイの平面図であり、図10(b)は、その等価回路を示す図である。図11(a)は、図10(a)におけるA-A'断面図であり、図11(b)は、図10(a)におけるB-B'断面図である。

【0003】図11からわかるように、各メモリセルは浮遊ゲートFGと制御ゲートCGとを備えて構成されている。各メモリセルは浮遊ゲートFGに電荷を蓄えたり、蓄えた電荷を排出したりすることにより、データを

保持することができるよう構成されている。

【0004】図10及び図11からわかるように、この従来技術に係る不揮発性半導体記憶装置においては、16個のメモリセルM(1)～M(16)からNAND型メモリセルが構成されている。すなわち、16個のメモリセルM(1)～M(16)がソース／ドレイン領域SDを共有する形で直列的に接続されることにより、NAND型メモリセルが構成されている。メモリセルM

(1)のドレイン側には、選択ゲートSG(1)が設けられており、メモリセルM(16)のソース側には、選択ゲートSG(2)が設けられている。特に図11

(a)からわかるように、これら選択ゲートSG(1)、SG(2)は、それぞれ、2本の選択ラインで構成されている。ここでは、16個の浮遊ゲートFG(1)～FG(16)と16個の制御ゲートCG(1)～(16)とは、すべて同一寸法で形成されている。

【0005】図11(a)からわかるように、選択ゲートSG(1)のドレイン側には、ビット線BLと接続するドレイン領域Dが形成されている。このビット線BLと接続する部分が、図10(a)に示すビット線コンタクトBCを形成している。また、図11(a)からわかるように、選択ゲートSG(2)のソース側には、ソース線と接続するソース領域Sが形成されている。このソース線と接続する部分が、図10に示すソース線コンタクトSCを形成している。

【0006】

【発明が解決しようとする課題】上述したようなNAND型セルアレイを有する不揮発性半導体記憶装置におけるデータの読み出しは、選択されたメモリセルMの制御ゲートCGを0Vにし、その他の制御ゲートCGにオン電圧を印加することにより、ビット線BLに与えた電圧がソース領域Sに伝達されるまでにどの程度低下するかで、判断される。すなわち、セル電流が流れるか、流れないかで、判断される。

【0007】この際、個々のメモリセルMが同じ中性しきい値を有していても、ビット線BLに近いメモリセルMと、ビット線BLに遠いメモリセルとで、セル電流が流れることによる基板バイアス効果により、NAND型セルアレイとして中性しきい値を見たときにばらつきが生じる。ここで、中性しきい値とは、各メモリセルMの浮遊ゲートFGに電荷がたまってもいいし、掃き出されてもいい状態の、しきい値をいうものである。つまり、浮遊ゲートFGにある電子の数と正孔の数と同じであり、したがって中性状態にある場合の、しきい値をいうものである。NAND型メモリセルの各メモリセルM(1)～M(16)とこの中性しきい値との関係を示したのが、図12である。

【0008】この図12は、図10及び図11に示すNAND型セルアレイに紫外線照射を行って、各メモリセルM(1)～M(16)の中性しきい値を測定した結果

を示すグラフである。この図12からわかるように、ビット線BLに近いメモリセルMの方が、ビット線BLに遠いメモリセルMよりも、中性しきい値が高い。換言すれば、ビット線BLに近いメモリセルM(1)から、ビット線BLに遠いメモリセルM(16)に向かって、順に、中性しきい値が低くなっている。このようにメモリセルMの中性しきい値がばらつくと、NAND型メモリセル全体の中性しきい値のばらつきを拡大させる。NAND型メモリセル全体の中性しきい値がばらつきが拡大すると、製品の歩留まりを低下させ、信頼性の上でも問題となってくる。

【0009】そこで本発明は、上記課題に鑑みてなされたものであり、NAND型メモリセル全体の中性しきい値のばらつきを抑えた不揮発性半導体記憶装置を提供することを目的とする。さらに、このようにメモリセル全体の中性しきい値のばらつきを抑えることにより、製品の歩留まりを向上させ、信頼性を向上させた、不揮発性半導体記憶装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するため、本発明に係る不揮発性半導体記憶装置は、半導体基板上に浮遊ゲートと制御ゲートとが積層され、隣接するもの同士でソース/ドレイン領域を共有する形で直列的に接続されてNAND型メモリセルを構成するためのメモリセルを複数備えた不揮発性半導体記憶装置であって、前記NAND型メモリセルの読み出し時にセル電流が流れる方向に対し、セル電流の上流側のメモリセルの中性しきい値よりも、セル電流の下流側のメモリセルの中性しきい値の方が、高くなるよう、構成されていることを特徴とする。

【0011】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態は、NAND型メモリセルを有する不揮発性半導体記憶装置において、各メモリセルのチャネルインプラ領域の不純物濃度が、各メモリセルのセル電流が流れる方向に向かうにしたがって、高くなるようにすることにより各メモリセルの中性しきい値を順次高くして、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルするようにしたものである。より詳しくを、以下に説明する。

【0012】図1は本実施形態に係る不揮発性半導体記憶装置のNAND型メモリセルを平面的に示す図であり、図2は図1におけるC-C'断面図である。

【0013】図1からわかるように、NAND型メモリセルを構成する16個の各メモリセルM(1)～M(16)は、それぞれ、制御ゲートCG(1)～CG(16)と浮遊ゲートFG(1)～FG(16)とを備えている。このNAND型メモリセルのドレイン側には選択ゲートSG(1)が設けられており、ソース側には選択ゲートSG(2)が設けられている。選択ゲートSG

(1)のドレイン側にはビット線コンタクトBCが形成されている。選択ゲートSG(2)のソース側にはソース線コンタクトSCが形成されている。

【0014】図2からわかるように、各メモリセルM(1)～M(16)は、P型半導体基板10上に形成されている。各メモリセル(1)～M(16)は、ゲート加工後にN型不純物を拡散する、N型トランジスタ構造になっている。これら各メモリセルM(1)～M(16)の中性しきい値を決めるのは、チャネルインプラ領域12(1)～12(16)の不純物濃度である。本実施形態に係るNAND型メモリセルにおけるこのチャネルインプラ領域12(1)～12(16)の不純物(ボロン)のドーズ量は、ビット線コンタクトBCからソース線コンタクトSCに向かうにしたがって、 $3 \times 10^{12} \text{cm}^{-3}$ から $4.5 \times 10^{12} \text{cm}^{-3}$ まで、 $0.1 \times 10^{12} \text{cm}^{-3}$ きざみで変化している。すなわち、メモリセルM(1)のチャネルインプラ領域12(1)のボロンのドーズ量は $3 \times 10^{12} \text{cm}^{-3}$ であり、メモリセル(2)のチャネルインプラ領域12(2)のボロンのドーズ量は $3.1 \times 10^{12} \text{cm}^{-3}$ である。これ以降のメモリセルM(3)…についてもこれらと同様に $0.1 \times 10^{12} \text{cm}^{-3}$ 毎にドーズ量が増えていき、メモリセル12(15)のチャネルインプラ領域12(15)のボロンのドーズ量は $4.4 \times 10^{12} \text{cm}^{-3}$ であり、メモリセル12(16)のチャネルインプラ領域12(16)のボロンのドーズ量は $4.5 \times 10^{12} \text{cm}^{-3}$ である。

【0015】このようにチャネルインプラ領域12(1)～12(16)の不純物のドーズ量が、セル電流が流れる方向であるビット線コンタクトBC側からソース線コンタクトSCに向かうにしたがって、多くなるようにしたので、メモリセルM(1)の中性しきい値が最も低くなり、このメモリセルM(1)からソース線コンタクトSCに向かうにしたがって中性しきい値が高くなり、メモリセルM(16)の中性しきい値が最も高くなるよう構成されている。

【0016】これら図1及び図2に示したようなNAND型メモリセルのチャネルインプラ領域12(1)～12(16)は、次のような製造工程で得ることができる。

【0017】まず、チャネルインプラ領域12(1)上に開口を有するレジストを、リソグラフィー工程により形成する。そして、このレジスト上からボロンを $3 \times 10^{12} \text{cm}^{-3}$ の濃度でインプラして、チャネルインプラ領域12(1)を形成する。次に、チャネルインプラ領域12(2)上に開口を有するレジストを、リソグラフィー工程により形成する。そして、このレジスト上からボロンを $3.1 \times 10^{12} \text{cm}^{-3}$ の濃度でインプラをして、チャネルインプラ領域12(2)を形成する。次に、チャネルインプラ領域12(3)上に開口を有するレジストを、リソグラフィー工程により形成する。そして、このレジ

ト上からボロンを $3.2 \times 10^{12} \text{cm}^{-3}$ の濃度でインプラして、チャネルインプラ領域12(3)を形成する。

【0018】このようにボロンのドーズ量を $0.1 \times 10^{12} \text{cm}^{-3}$ ずつ増やす工程を繰り返して、順次、チャネルインプラ領域12(4)以降も形成する。最後に、チャネルインプラ領域16(16)上に開口を有するレジストを、リソグラフィー工程により形成する。そして、このレジスト上からボロンを $4.5 \times 10^{12} \text{cm}^{-3}$ の濃度でインプラして、チャネルインプラ領域12(16)を形成する。

【0019】以上のようなNAND型メモリセルを有する不揮発性半導体記憶装置において、読み出し時には、ビット線BLに例えば2Vを印加し、ソース線に例えば0Vを印加する。この場合、セル電流はビット線コンタクトBC部分からソース線コンタクトSC部分に向かって流れる。この際、基板バイアス効果により、同じ中性しきい値を有するメモリセルMであっても、このセル電流を流したときの中性しきい値はソース線コンタクトSCに向かうにしたがって、低くなるように作用する。ところが、本実施形態に係るNAND型メモリセルは、上述のように、セル電流が流れない状態ではソース線コンタクトSC側のメモリセルMの方が中性しきい値が高くなるよう構成されている。このため、読み出し時の基板バイアス効果による中性しきい値の変化をキャンセルできる。

【0020】図3は、図1及び図2に示したNAND型メモリセルに紫外線照射を行って、中性しきい値を測定した結果をグラフにして示す図である。この図3からわかるように、セル電流を流した状態で、このNAND型メモリセルの各メモリセルM(1)～M(16)の中性しきい値は、ほぼ一定になる。よって、本実施形態に係るNAND型メモリセルを用いれば、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0021】なお、この第1実施形態においては、リソグラフィー工程数とインプラ工程数とを削減するために、チャネルインプラ領域12(1)～12(16)を所定のグループ単位にまとめることも可能である。例えば、メモリセルM(1)～M(8)のチャネルインプラ領域12(1)～12(8)までを1つのグループとして同一の不純物濃度で形成し、メモリセルM(9)～M(16)のチャネルインプラ領域12(9)～12(16)までを1つのグループとして、チャネルインプラ領域12(1)～12(8)よりも高い、同一の不純物濃度で形成することも可能である。

【0022】この場合、チャネルインプラ領域12(1)～12(8)上にまとめて開口が設けられたレジストを形成し、例えば、 $3.3 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインプラを行う。次に、チャネルインプラ領域

12(9)～12(16)上にまとめて開口が設けられたレジストを形成し、例えば、 $4.0 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインプラを行う。このようにすることにより、リソグラフィー工程とインプラ工程の工程数の削減を図ることができる。しかも、このような構成にNAND型メモリセルをしても、従来よりは、セル電流が流れた時の中性しきい値のばらつきを抑えることができる。

【0023】また、必ずしも、チャネルインプラ領域12(1)～12(16)を、チャネルインプラ領域12(1)～12(8)と、12(9)～12(16)との2等分にしなくともよい。例えば、ソース線コンタクトSCに最も近いメモリセルM(16)のチャネルインプラ領域12(16)上にのみ開口を有するレジストをリソグラフィーにより形成し、 $3.1 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインプラを行う。次に、残りのメモリセルM(1)～M(15)のチャネルインプラ領域12(1)～12(15)上に開口を有するレジストをリソグラフィーにより形成し、 $3.0 \times 10^{12} \text{cm}^{-3}$ のドーズ量でボロンのインプラを行うようにしてもよい。

【0024】さらに、これらリソグラフィー工程とインプラ工程は、選択ゲートSG(1)、SG(2)に対するこれらの工程を兼ねることもできる。また、周辺回路のこれらの工程と兼ねることもできる。

【0025】また、上述した実施形態とは逆に、読み出し時に、ソース線に例えば2Vの電圧を印加し、ビット線BLに例えば0Vを印加して、セル電流がソース線側からビット線BL側に流れる場合もある。このような場合には、上述した実施形態とは逆に、ソース線コンタクトSCからビット線コンタクトBCに向かうにしたがって、メモリセルMの中性しきい値が高くなるように設定すればよい。

【0026】〔第2実施形態〕本発明の第2実施形態は、NAND型メモリセルを有する不揮発性半導体記憶装置において、メモリセルのゲート長が、各メモリセルのセル電流が流れる方向に向かうにしたがって、長くなるようにすることにより各メモリセルの中性しきい値を順次高くし、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルするようにしたものである。より詳しくを、以下に説明する。

【0027】図4は本実施形態に係る不揮発性半導体記憶装置のNAND型セルアレイを平面的に示す図であり、図5は図4におけるD-D'断面図である。

【0028】図4からわかるように、本実施形態に係る不揮発性半導体記憶装置では、メモリセルM(1)～M(16)のゲート長が、ビット線コンタクトBC側から順に、次第に長くなるよう構成されている。具体的には、メモリセルM(1)の制御ゲートCG(1)と浮遊ゲートFG(1)のゲート長を $0.2 \mu\text{m}$ にし、メモリセルM(2)の制御ゲートCG(2)と浮遊ゲートFG

(2)のゲート長を $0.21\mu\text{m}$ にする。このように、ビット線コンタクトBCからソース線コンタクトSCに向かうにしたがって、 $0.01\mu\text{m}$ づつゲート長を長くしていく。このように $0.01\mu\text{m}$ づつゲート長を長くしていくと、メモリセルM(16)の制御ゲートCG(16)と浮遊ゲートFG(16)のゲート長は $0.35\mu\text{m}$ になる。ゲート長をこのように構成することにより、トランジスタのショートチャネル効果により、ゲート長の短いメモリセルMの中性しきい値は低くなり、ゲート長の長いメモリセルMの中性しきい値は高くなる。

【0029】以上のようなNAND型メモリセルを有する不揮発性半導体記憶装置において、読み出し時には、ビット線BLに例えば2Vを印加し、ソース線には例えば0Vを印加する。この場合、セル電流はビット線コンタクトBC部分からソース線コンタクトSC部分に向かって流れる。この際、基板バイアス効果により、同じ中性しきい値を有するメモリセルMであっても、この中性しきい値はソース線コンタクトSCに向かうにしたがって、低くなるように作用する。ところが、本実施形態に係るNAND型メモリセルは、上述のようにゲート長がビット線コンタクトBCからソース線コンタクトSCに向かうにしたがって長くなるように構成されているので、セル電流が流れない状態ではソース線コンタクトSC側のメモリセルの方が中性しきい値が高くなる。このため、読み出し時の基板バイアス効果による中性しきい値の変化をキャンセルできる。

【0030】図4及び図5に示したNAND型メモリセルに紫外線照射を行って、中性しきい値を測定した場合でも、上述した図3に示すグラフが得られる。すなわち、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0031】なお、この第2実施形態においては、セル面積の増加を抑えるために、ゲート長を所定のメモリセル単位でまとめることも可能である。例えば、図6に示すように、メモリセルM(1)～M(8)のゲート長を $0.2\mu\text{m}$ とし、メモリセルM(9)～M(16)のゲート長を $0.21\mu\text{m}$ とすることも可能である。これによりセル面積の増加を抑制することができ、メモリセルの中性しきい値のばらつきの改善も期待することができる。

【0032】さらに、セル電流が流れる最も下流側であるメモリセルM(16)のゲート長のみを、他のメモリセルM(1)～M(15)のゲート長よりも、長くすることができる。例えば、メモリセルM(1)～M(15)のゲート長を $0.2\mu\text{m}$ とし、メモリセルM(16)のゲート長を $0.21\mu\text{m}$ とすることも可能である。

【0033】また、上述した実施形態、読み出し時に、ソース線に例えば2Vの電圧を印加し、ビット

線BLに例えば0Vを印加して、セル電流がソース線側からビット線BL側に流れる場合もある。このような場合には、上述した実施形態とは逆に、ソース線コンタクトSCからビット線コンタクトBLに向かうにしたがって、メモリセルMのゲート長が長くなるように構成すればよい。

【0034】〔第3実施形態〕本発明の第3実施形態は、NAND型メモリセルを有する不揮発性半導体記憶装置において、最もビット線コンタクト寄りに設けられたメモリセルのゲート長を最も短くし、最もソース線コンタクト寄りに設けられたメモリセルのゲート長を最も長くし、これらのメモリセルの間に設けられた他のメモリセルのゲート長をその中間のゲート長に揃えることにより、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルするようにしたものである。より詳しくを、以下に説明する。

【0035】図7は本実施形態に係る不揮発性半導体記憶装置のNAND型セルアレイを平面的に示す図であり、図8は図7におけるE-E'断面図である。

【0036】図7からわかるように、選択ゲートSG(1)と制御ゲートCG(1)の間隔と、選択ゲートSG(2)と制御ゲートSG(16)の間隔とは、スリット部の加工の合わせ等を考慮して、他の制御ゲートSC(2)～CG(15)の間隔よりも、広く設定されている。このようにすると、製造過程におけるリソグラフィ工程のローディング効果により、同じゲート長の開口を有するレジストでエッチングしても、制御ゲートCG(1)、CG(16)のみが他よりも細くなる点に注意する必要がある。

【0037】PEP時のマスク上のゲート寸法はメモリセルM(1)～M(15)までは、 $0.2\mu\text{m}$ 、メモリセルM(16)のみ $0.22\mu\text{m}$ で作成する。ローディング効果による細りを $0.01\mu\text{m}$ とすると、本実施形態におけるメモリセルのゲート長は、メモリセルM(1)が $0.19\mu\text{m}$ 、メモリセルM(2)～M(15)が $0.20\mu\text{m}$ 、メモリセルM(16)が $0.21\mu\text{m}$ で形成される。したがって、単体セルでみると、メモリセルM(1)の中性しきい値が最も低くなり、メモリセルM(2)～M(15)の中性しきい値がこれより高くなり、メモリセルM(16)の中性しきい値が最も高くなる。

【0038】以上のようなNAND型メモリセルを有する不揮発性半導体記憶装置において、読み出し時には、ビット線BLに例えば2Vを印加し、ソース線には例えば0Vを印加する。この場合、セル電流はビット線コンタクトBC部分からソース線コンタクトSC部分に向かって流れる。この際、基板バイアス効果により、同じ中性しきい値を有するメモリセルMであっても、この中性しきい値はソース線コンタクトSCに向かうにしたがって、低くなるように作用する。ところが、本実施形態に

係るNAND型メモリセルは、上述のようにメモリセルM(1)、M(2)～M(15)、M(16)の順にゲート長が長くなるように構成されているので、セル電流が流れない状態ではソース線コンタクトSC側のメモリセルの方が中性しきい値が高くなる。このため、読み出し時の基板バイアス効果による中性しきい値の変化をキャンセルできる。したがって、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0039】図9は、図7及び図8に示したNAND型メモリセルに紫外線照射を行って、中性しきい値を測定した結果をグラフにして示す図である。この図9からわかるように、セル電流を流した状態における、NAND型メモリセルの各メモリセルM(1)～M(16)の中性しきい値のばらつきを、従来より抑えることができる。よって、本実施形態に係るNAND型メモリセルを用いれば、中性しきい値ばらつきの少ない、浮遊ゲートFGの電荷量が各メモリセルで一定で、信頼性の高い、不揮発性半導体記憶装置を得ることができる。

【0040】なお、本発明は上記実施形態に限定されず、種々に変形可能であり、上記実施形態であげた不純物濃度、ゲート長等は、あくまでも例示にすぎない。

【0041】

【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、メモリセルの中性しきい値の設定を、読み出し時に電流が流れる方向に対して、上流側に設けられたメモリセルの中性しきい値よりも、下流側に設けられたメモリセルの中性しきい値の方を、高くするようにしたので、読み出し時の基板バイアス効果による中性しきい値の影響をキャンセルでき、中性しきい値ばらつきの少ない、浮遊ゲートの電荷量が各メモリセルで一定の信頼性の高いメモリを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る不揮発性半導体記憶装置の平面図。

【図2】本発明の第1実施形態に係る不揮発性半導体記憶装置の断面図。

【図3】本発明の第1及び第2実施形態に係る不揮発性半導体記憶装置における各メモリセルにセル電流を流した場合の中性しきい値を、グラフにして示す図。

【図4】本発明の第2実施形態に係る不揮発性半導体記憶装置の平面図。

【図5】本発明の第2実施形態に係る不揮発性半導体記憶装置の断面図。

10 【図6】本発明の第2実施形態に係る不揮発性半導体記憶装置の変形例を示す平面図。

【図7】本発明の第3実施形態に係る不揮発性半導体記憶装置の平面図。

【図8】本発明の第3実施形態に係る不揮発性半導体記憶装置の断面図。

【図9】本発明の第3実施形態に係る不揮発性半導体記憶装置における各メモリセルにセル電流を流した場合の中性しきい値を、グラフにして示す図。

20 【図10】(a)は従来の不揮発性半導体記憶装置の平面図、(b)は従来の不揮発性半導体記憶装置の等価回路図。

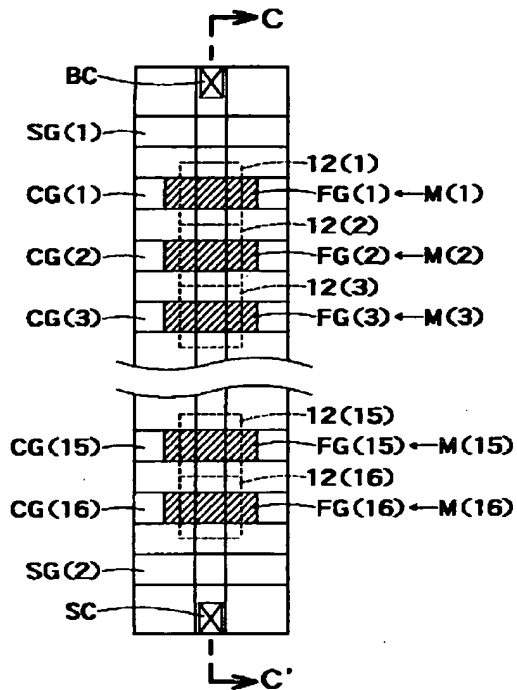
【図11】(a)は図10におけるA-A'断面図、(b)は図10におけるB-B'断面図。

【図12】従来の不揮発性半導体記憶装置における各メモリセルにセル電流を流した場合の中性しきい値を、グラフにして示す図。

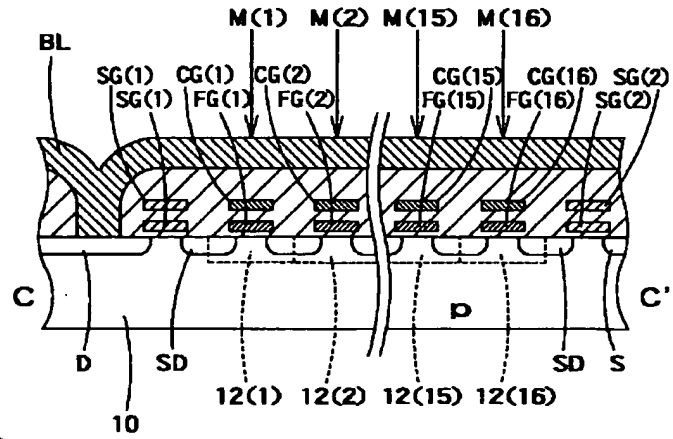
【符号の説明】

SG(1)、SG(2) 選択ゲート
CG(1)～CG(16) 制御ゲート
30 FG(1)～FG(16) 浮遊ゲート
M(1)～M(16) メモリセル
BC ビット線コンタクト
SC ソース線コンタクト
BL ビット線
10 半導体基板
12 チャネルインブラ領域

【図1】

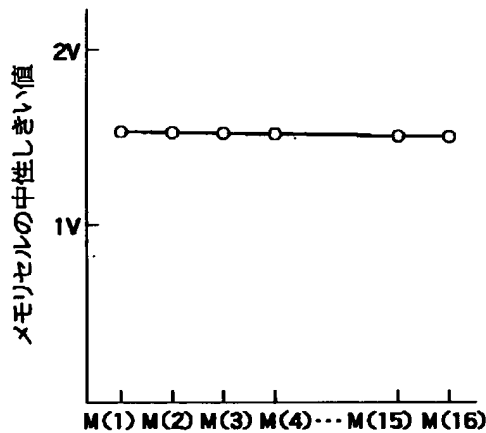


【図2】

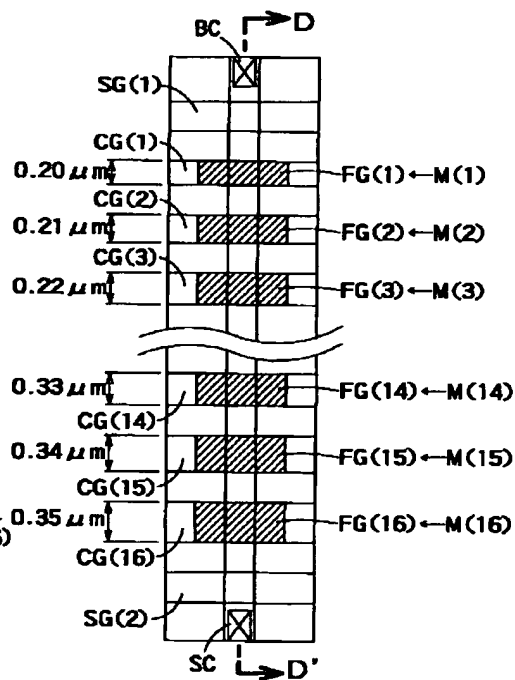


【図3】

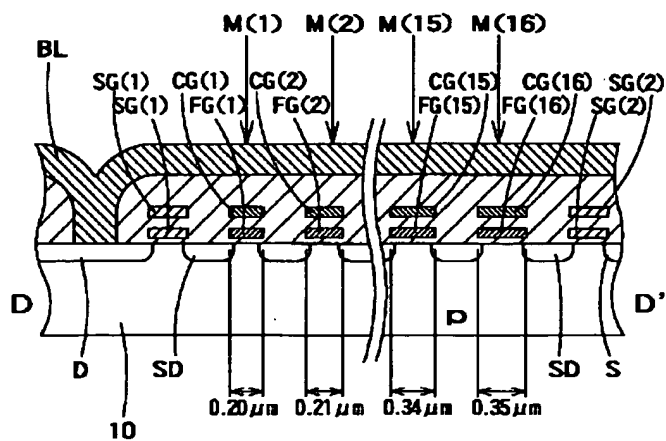
UV照射後のNAND型
メモリセルのしきい値
(場所依存性)



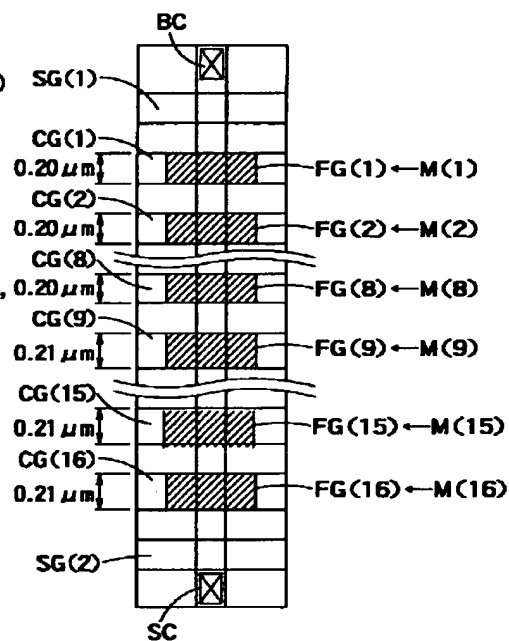
【図4】



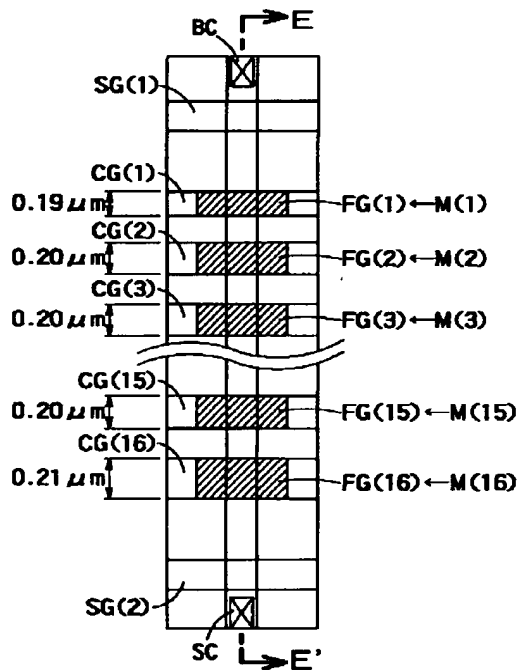
【図5】



【図6】

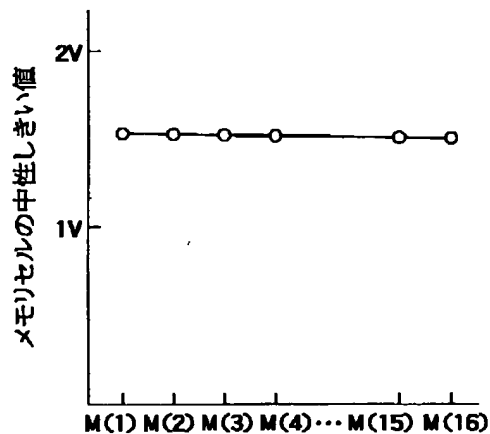


【図7】

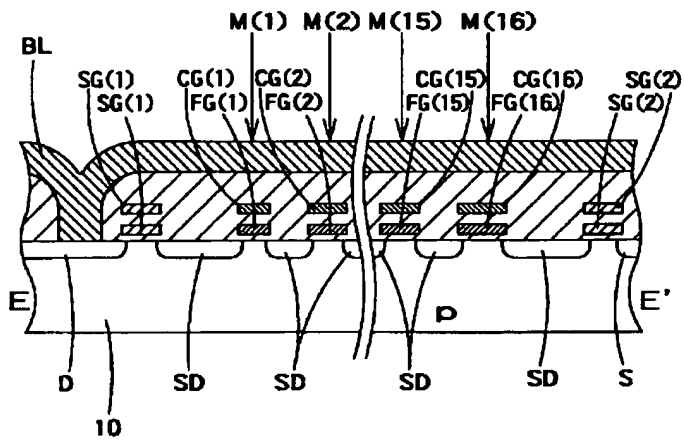


【図9】

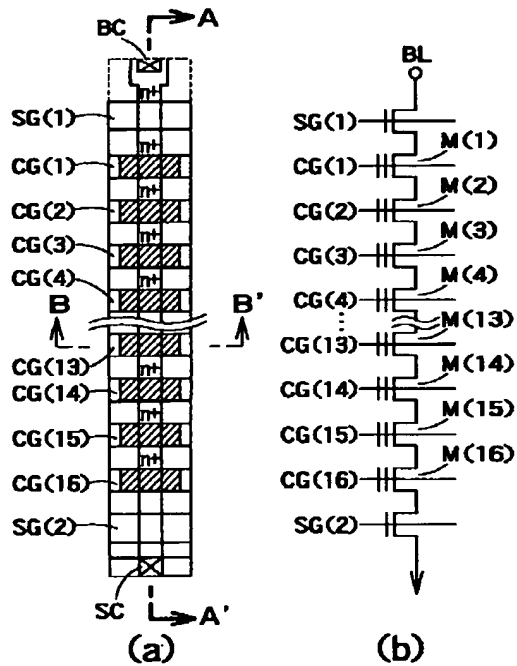
UV照射後のNAND型
メモリセルのしきい値
(場所依存性)



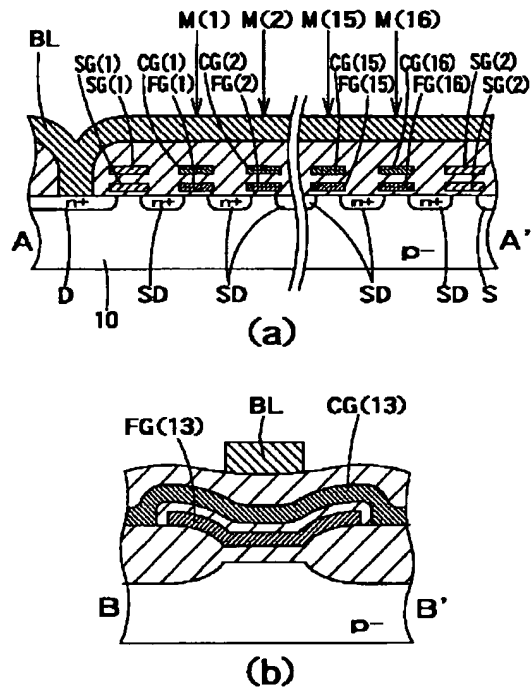
【図8】



【図10】

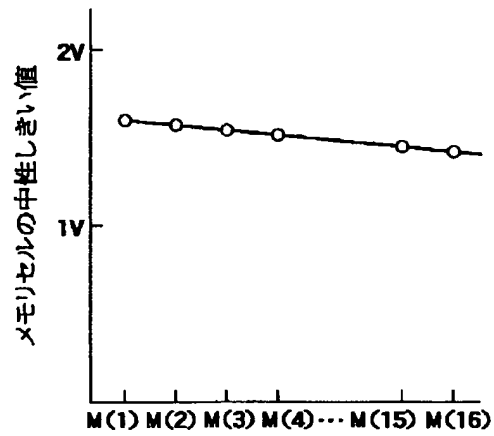


【図11】



【図12】

UV照射後のNAND型
メモリセルのしきい値
(場所依存性)



PTO 03-5411

Japan Kokai

Document No. 2000-68487

NONVOLATILE SEMICONDUCTOR MEMORY

(Fukihatsusei Handotai Kioku Sochi)

Masaki MOMOTOMI

UNITED STATES PATENT AND TRADEMARK OFFICE

Washington, D. C.

September 2003

Translated by: Schreiber Translations, Inc.

<u>Country</u>	:	Japan
<u>Document No.</u>	:	2000-68487
<u>Document Type</u>	:	Kokai
<u>Language</u>	:	Japanese
<u>Inventor(s)</u>	:	Masaki MOMOTOMI
<u>Applicant</u>	:	Toshiba Corp.
<u>IPC</u>	:	H 01 L 27/115
		21/8247
		29/788
		29/792
<u>Date of Filing</u>	:	August 26, 1998
<u>Publication Date</u>	:	March 3, 2000
<u>Foreign Language Title</u>	:	Fukihatsusei Handotai
		Kioku Sochi
<u>English Title</u>	:	NONVOLATILE SEMICONDUCTOR
		MEMORY

SPECIFICATION

(54) Title of the Invention

Nonvolatile Semiconductor Memory

/2

[Claims]

[Claim 1] A nonvolatile semiconductor memory, which is a nonvolatile semiconductor memory equipped with multiple memory cells for constructing an NAND memory cell by laminating a floating gate and a control gate on a semiconductor substrate and connecting the gates in series in the form of sharing source/drain regions of adjacent cells with each other, and is characterized by such a construction that the neutral threshold value of memory cells on the downstream side of cell current becomes higher than the neutral threshold value of memory cells on the upstream side of cell current to the flowing direction of cell current at the time of readout of said NAND memory cell.

[Claim 2] A nonvolatile semiconductor memory according to Claim 1, which is characterized by such a construction that the

¹Numbers in the margin indicate pagination in the foreign text.

neutral threshold value of said memory cells increases successively as from the upstream side to the downstream side of cell current.

[Claim 3] A nonvolatile semiconductor memory according to Claim 1, which is characterized by such a construction that the neutral threshold value of said memory cells increases successively in a group unit putting one or plural memory cells together.

[Claim 4] A nonvolatile semiconductor memory according to any of Claims 1 to 3, which is characterized by the fact that the neutral threshold value of said memory cells is changed with changing the impurity concentration in a channel implantation region of said memory cells.

[Claim 5] A nonvolatile semiconductor memory according to any of Claims 1 to 3, which is characterized by the fact that the said neutral threshold value is changed with changing the gate length of said memory cells.

[Claim 6] A nonvolatile semiconductor memory according to Claim 1, which is characterized by such a construction that only the gate length of a memory cell provided on the most downstream side of cell current in said NAND memory cell is longer than that of other memory cells.

[Detailed Description of the Invention]

[0001] The present invention relates to a nonvolatile semiconductor memory, and particularly to a nonvolatile semiconductor memory having an NAND memory cell with multiple cells connected and arranged in series.

[0002]

[Prior Art] Fig. 10a is a plan view of an NAND memory cell array formed by connecting multiple memory cells in series in a conventional nonvolatile semiconductor memory, and Fig. 10(b) is a diagram showing its equivalent circuit. Fig. 11(a) is an A-A' sectional view in Fig. 10(a), and Fig. 11(b) is a B-B' sectional view in Fig. 10(a).

[0003] As is known from Fig. 11, each memory cell is constructed by equipped with a floating gate FG and a control CG. Each memory cell is so constructed that it can keep data by storing an electric charge in the floating gate FG and discharged the stored electric charge.

[0004] As is known from Fig. 10 and Fig. 11, an NAND memory cell is constructed by 16 memory cells M(1) - M(16) in the nonvolatile semiconductor memory relating to this prior art. Namely, an NAND memory cell is constructed by connecting 16 memory cells M(1) - M(16) in series in the form of sharing a source-drain region SD. A selecting gate SG(1) is provided on

the drain side of memory cell M(1), and a selecting gate SG(2) is provided on the source side of memory cell M(16). Particularly, as is known from Fig. 11(a), these selecting gate SG(1) and selecting gate SG(2) are constructed by two selecting lines. Here, all of 16 floating gates FG(1) - (16) and 16 control gates CG(1) - (16) are formed in same dimensions.

[0005] As is known from Fig. 11(a), a drain region D connecting with a bit line BL is formed on the drain side of said selecting gate SG (1). A part connecting with this bit line BL forms a bit line contact BC shown in Fig. 10(a). As is known from Fig. 11(a), a source region S connecting with a source line is formed on the source side of said selecting gate SG (2). A part connecting with this source line forms a source line contact SC shown in Fig. 10(a).

[0006]

[Problem to Be Solved by the Invention] The readout of data in the nonvolatile semiconductor memory having the NADN cell array as described above is judged from what extent the voltage given to the bit line BL is transmitted to the source region S reduces to by making the control gate CG of a selected memory cell M to 0 V and applying an ON voltage to other control gates CG. Namely, it is judged by whether a cell current flows or not.

[0007] At this time, a dispersion occurs when a neutral threshold value is found for the NAND cell array due to a base bias effect caused by a cell current flowing in memory cells near to the bit line BL and memory cells far from the bit line BL even if individual memory cells M have same neutral threshold value. Here, the neutral threshold value means a threshold value in such a state that an electric charge does not accumulate or swept out at the float gate FG of each memory cell M. Namely, it means a threshold value in case that the number of electrons and the number of holes at a float gate FG are same and therefore in a neutral state. Fig. 12 shows a relationship between the memory cells M(1) - M(16) and their neutral value of NAND memories.

[0008] This Fig. 12 is a graph showing a result of measuring the neutral threshold value of said memory cells M(1) - M(16) by performing UV irradiation on the memory cells M(1) -

/3

M(16) shown in Fig. 10 and Fig. 11. As is known from Fig. 12, a memory cell nearer to the bit line BL has a higher neutral threshold value than the bit line BL. In other words, the neutral threshold value decreases successively as from the memory cell M(1) near to the bit line BL to the memory cell M(16) far from the bit line BL. Thus, if the neutral threshold value of memory cells M is irregular, the dispersion of neutral

threshold value of the whole NAND memory cell is expanded. If the dispersion of neutral threshold value of the whole NAND memory cell is expanded, the yield of product reduces and also becomes a problem with reliability.

[0009] Accordingly, the present invention was made in view of the above problem and is aimed at providing a nonvolatile semiconductor memory which restrains the dispersion of neutral threshold value of the whole NAND memory cell. Thus, the present invention is aimed at providing a nonvolatile semiconductor memory with improved yield of product and improved reliability by restraining the dispersion of neutral threshold value of the whole NAND memory cell.

[0010]

[Means for Solving the Problem] To solve the above problem, the nonvolatile semiconductor memory relating to the present invention is a nonvolatile semiconductor memory equipped with multiple memory cells for constructing an NAND memory cell by laminating a floating gate and a control gate on a semiconductor substrate and connecting the gates in series in the form of sharing source/drain regions of adjacent cells with each other and is characterized by such a construction that the neutral threshold value of memory cells on the downstream side of cell current becomes higher than the neutral threshold value of

memory cells on the upstream side of cell current to the flowing direction of cell current at the time of readout of said NAND memory cell.

[0011]

[Embodiment Form of the Invention] [Embodiment Form 1] In the Embodiment Form 1 of the present invention, the neutral threshold value of memory cells increases by increasing the impurity concentration in a channel implantation region of said memory cells to the flowing direction of cell current of said memory cells to cancel an influence of neutral threshold value caused by the base bias effect at the time of readout in the nonvolatile semiconductor memory having an NAND memory cell. Details are illustrated below.

[0012] Fig. 1 is a diagram showing an NAND memory cell of the nonvolatile semiconductor memory relating to this embodiment form in a plane, and Fig. 2 is a C-C' sectional view in Fig. 1.

[0013] As is known from Fig. 1, 16 memory cells M(1) - M(16) constructing the NAND memory cell are equipped with 16 memory cells M(1) - M(16), control gates CG(1) - CG(16) and floating gates FG(1) - FG(16), respectively. A selecting gate SG(1) is provided on the drain side and a selecting gate SG(2) is provided on the source side of this NAND memory cell. A bit line contact BC is formed on the drain side of said selecting

gate SG(1). A source line contact SC is formed on the drain side of said selecting gate SG(2).

[0014] As is known from Fig. 2, the memory cells M(1) - M(16) are formed on a p-type semiconductor substrate 10. An N-type impurity is diffused into the memory cells M(1) - M(16) after gate processing to become an N-type transistor structure. What decides the neutral threshold value of these memory cells M(1) - M(16) is the impurity concentration of channel implantation region 12(1) to 12(16). The dose of impurity (boron) of these channel implantation region 12(1) to 12(16) changes from $3\text{E}12\text{cm}^{-3}$ to $4.5\text{E}12\text{cm}^{-3}$ at a pitch of $0.1\text{E}12\text{cm}^{-3}$ as from the bit line contact BC to the source line contact SC. Namely, the dose of boron in the channel implantation region 12(1) of memory cell M(1) is $3\text{E}12\text{cm}^{-3}$, and the dose of boron in the channel implantation region 12(2) of memory cell M(2) is $3.1\text{E}12\text{cm}^{-3}$. The dose of boron in the memory cell M(3) and after similarly increases every $0.1\text{E}12\text{cm}^{-3}$ to the above memory cells, ... the dose of boron in the channel implantation region 12(15) of memory cell M(15) is $4.4\text{E}12\text{cm}^{-3}$, and the dose of boron in the channel implantation region 12(16) of memory cell M(16) is $4.5\text{E}12\text{cm}^{-3}$.

[0015] Thus, this embodiment form is so constructed that the dose of impurity of the channel implantation region 12(1) - 12(16) increases as from the bit line contact BC side to the

source line contact SC side being the flowing direction of cell current, therefore the neutral threshold value of the memory cell M(1) becomes the lowest, increases as from this memory cell M(1) to the source line contact SC, and the neutral threshold value of the memory cell M(16) becomes the highest.

[0016] The channel implantation regions 12(1) - 12(16) of the NAND memory cell as shown in these Fig. 1 and Fig. 2 can be obtained by the following manufacturing processes.

[0017] First, a resist having an opening on the channel implantation region 12(1) is formed by a lithographic process. Then, the channel implantation region 12(1) is formed by implanting boron from this resist at a concentration of $3E12cm^{-3}$. Next, a resist having an opening on the channel implantation region 12(2) is formed by a lithographic process. Then, the channel implantation region 12(2) is formed by implanting boron from this resist at a concentration of $3.1E12cm^{-3}$. Next, a resist having an opening on the channel implantation region 12(2) is formed by a lithographic process. Then, the channel implantation region 12(3)

/4

is formed by implanting boron from this resist at a concentration of $3.2E12cm^{-3}$.

[0018] Thus, the channel implantation region 12(4) and regions after it are also formed successively by repeating the

processes increasing the dose of boron $0.1\text{E}12\text{cm}^{-3}$ by $0.1\text{E}12\text{cm}^{-3}$. Finally, a resist having an opening on the channel implantation region 12(16) is formed by a lithographic process. Then, the channel implantation region 12(16) is formed by implanting boron from this resist at a concentration of $4.5\text{E}12\text{cm}^{-3}$.

[0019] In the nonvolatile semiconductor memory having the NAND memory cell as described above, for example, 2 V is applied to the bit line BL and 0 V is applied to the source line SL at the time of readout. In this case, the cell current flows from the bit line contact BC to the source line contact SC. At this time, the base bias effect so functions that the neutral threshold value at the time of allowing this cell current to flow decreases toward the source line contact SC even if it is a memory cell M having same neutral threshold value. However, as described above, the NAND memory cell relating to this embodiment form is so constructed that the neutral threshold value of memory cells M on the source line contact SC side increases in a state that the cell current does not flow. Therefore, changes of neutral threshold value caused by the base bias effect at the time of readout can be canceled.

[0020] Fig. 3 is a diagram graphically showing a result given by performing UV irradiation on the NAND memory cell shown in Fig. 1 and Fig. 2. As is known from this Fig. 3, the neutral

threshold value of the memory cells M(1) - M(16) of this NAND memory cell becomes nearly constant in a state of allowing a cell current to flow. Accordingly, if the NAND memory cell relating to this embodiment form is used, a nonvolatile semiconductor memory having a small dispersion of the neutral threshold value, a constant quantity of electric charge of the float gates FG in the memory cells and a high reliability can be obtained.

[0021] In the Embodiment Form 1, the channel implantation regions 12(1) - 12(6) are also put together in a prescribed group unit to reduce the number of lithographic processes and the number of implantation processes. For example, it is also possible that the channel implantation regions 12(1) - 12(8) of said memory cells M(1) - M(8) are taken as one group and formed at same impurity concentration and the channel implantation regions 12(9) - 12(16) of said memory cells M(9) - M(16) are taken as one group and formed at same impurity concentration higher than the channel implantation regions 12(1) - 12(8).

[0022] In this case, a resist provided with an opening is formed by putting it together on the channel implantation regions 12(1) - 12(8), e. g., an implantation of boron is performed at a dose of $3.3 \times 10^{12} \text{cm}^{-2}$. Next, a resist provided with an opening is formed by putting it on the channel implantation regions 12(9) - 12(16), e. g., an implantation of boron is

performed at a dose of $4.0\text{E}12\text{cm}^{-3}$. In this manner, the reduction of numbers of lithographic processes and implantation processes can be contrived. Moreover, the dispersion of neutral threshold value at the time of allowing the cell current to flow can be restrained than before even if the NAND memory cell is made to such a constitution.

[0023] Furthermore, the channel implantation regions 12(1) - 12(16) are not necessarily made into two equal parts of said channel implantation regions 12(1) - 12(8) and 12(9) - 12(16). For example, a resist having an opening is formed only on a channel implantation region (16) nearest to the source line contact SC is formed by lithography to perform the implantation of boron at a dose of $3.1\text{E}12\text{cm}^{-3}$. Next, a resist having an opening is formed on channel implantation regions 12(1) - 12(15) of M(1) - M(15) by lithography to perform the implantation of boron at a dose of $3.0\text{E}12\text{cm}^{-3}$.

[0024] Still more, these lithographic processes and implantation processes can also serve both as these processes for the selecting gate SG(1), SG(2). They can also serve both as these processes of peripheral circuits.

[0025] Still furthermore, conversely to the aforesaid embodiment form, for example, a cell current also flows from the source line side to the bit line side in some cases by applying

a voltage of 2 V to the source line and 0 V to the bit line BL. In such cases, conversely to the aforesaid embodiment form, the neutral threshold value of memory cells may also be so set up that they increase as from the source line contact SC to the bit line contact BC.

[0026] [Embodiment Form 2] In the Embodiment Form 2 of present invention, the neutral threshold value of memory cells increases successively by extending the gate length of memory cells toward the flowing direction of cell current of memory cells to cancel the influence of neutral threshold value caused by the base bias effect at the time of readout. Details are illustrated below.

[0027] Fig. 4 is a diagram showing an NAND cell array of a nonvolatile semiconductor memory relating to this embodiment form in a plane, and Fig. 5 is a D-D' sectional view in Fig. 4.

[0028] As is known from Fig. 4, the nonvolatile semiconductor memory relating to this embodiment form is so constructed that the gate length of memory cells M(1) - M(16) is gradually extended in order from the bit line contact BC side. More specifically, the gate length of a control gate CG(1) and a float gate FG(1) of a memory cell M(1) is made to 0.2 μm and the gate length of a control gate CG(2) and a float gate FG(2) of a

/5

memory cell M(2) is made to 0.21 μm . Thus, the gate length is extended 0.01 μm by 0.01 μm as from the bit line contact BC to the source line contact SC. Thus, if the gate length is extended 0.01 μm by 0.01 μm , the gate length of a control gate CG(16) and a float gate FG(16) of the memory cell M(16) becomes 0.35 μm . The neutral threshold value of memory cell with a short gate length decreases and the neutral threshold value of memory cell with a long gate length increases by constructing the gate length and due to the short-channel effect of transistor.

[0029] In the nonvolatile semiconductor memory having the NAND memory cell as described above, for example, 2 V is applied to the bit line BL and 0 V is applied to the source line SL at the time of readout. In this case, the cell current flows from the bit line contact BC to the source line contact SC. At this time, the base bias effect so functions that the neutral threshold value decreases toward the source line contact SC even if it is a memory cell having same neutral threshold value. However, as described above, the neutral threshold value of memory cells on the source line contact SC side increases in the state that the cell current does not flow because the NAND memory cell relating to this embodiment form is so constructed that the gate length extends as from the bit line contact BC to the source line contact SC. Therefore, the change of neutral

threshold value caused by the base bias effect at the time of readout can be canceled.

[0030] A graph shown in aforesaid Fig. 3 is obtained even when the neutral threshold value is measured by performing UV irradiation on the NAND memory cell shown in Fig. 4 and Fig. 5. Namely, a nonvolatile semiconductor memory with a small dispersion, a constant quantity of electric charge of floating gate FG in memory cells and a high reliability can be obtained.

[0031] Moreover, it is also possible to put the gate lengths together in prescribed memory cell units to restrain an increase of cell area in this Embodiment Form 2. For example, as shown in Fig. 6, it is also possible to take the gate length of memory cells M(1) - M(8) as 0.2 μm and the gate length of memory cells M(9) - M(16) as 0.21 μm . This enables to restrain the increase of cell area and expect an improvement on dispersion of neutral threshold value of memory cells.

[0032] Furthermore, only the gate length of memory cell (16) on the most downstream side where the cell current flows can be made longer than the gate length of memory cells M(1) - M(15). For example, it is also possible to take the gate length of memories M(1)-M(15) as 0.2 μm and the gate length of memory M(16) as 0.21 μm .

[0033] Still more, conversely to the aforesaid embodiment form, a cell current also flows from the source line SL side to the bit line BL side in some cases by applying a voltage of 2 V to the source line BL and 0 V to the bit line BL. In such cases, conversely to the aforesaid embodiment form, this Embodiment Form 2 may be so constructed that the gate length of memory cells M increases as from the source line contact SC to the bit line contact BL.

[0034] [Embodiment Form 3] In the Embodiment Form 3 of present invention, the neutral threshold value of memory cells increases successively by making the gate length of memory cell provided nearest to the bit line contact side shortest, making the gate length of memory cell provided nearest to the source line contact side longest and making even the gate length of other memory cells provided between these memory cells to an intermediate length to cancel the influence of neutral threshold value caused by the base bias effect at the time of readout. Details are illustrated below.

[0035] Fig. 7 is a diagram showing an NAND cell array of a nonvolatile semiconductor memory relating to this embodiment form in a plane, and Fig. 8 is a E-E' sectional view in Fig. 7.

[0036] As is known from the spacing of selecting gate SG(1) and control gate CG(1) and the spacing of selecting gate SG(2)

and control gate SG(16) are set to be wider than the spacing of other control gate SC(2) - CG(15) by considering the match of processing of a slit part. If so, cautions must be taken in that only the control gates CG(1), CG(16) are made smaller than others due to a loading effect of lithographic process in the manufacturing process even if they are etched with a resist having an opening of same gate length.

[0037] The memory cells M(1) - M(15) are made to 0.2 μm and only the memory cell M(16) is made to 0.22 μm for the gate dimension on a mask in PEP. If the thinness caused by the loading effect is taken as 0.01 μm , the gate length of memory cells in this embodiment form is formed at 0.19 μm for memory cells M(1), 0.20 μm for memory cell M(2) - M(15), and 0.21 μm for memory cell M(16). Accordingly, if seeing in a unit cell, the neutral threshold value of memory cell M(1) becomes the lowest, the neutral threshold value of memory cell M(2) - M(15) becomes higher, and the neutral threshold value of memory cell M(16) becomes the highest.

[0038] In the nonvolatile semiconductor memory having the NAND memory cell as described above, for example, 2 V is applied to the bit line BL and 0 V is applied to the source line SL at the time of readout. In this case, the cell current flows from the bit line contact BC to the source line contact SC. At this

time, the base bias effect so functions that this neutral threshold value decreases toward the source line contact SC even if it is a memory cell M having same neutral threshold value due to the base bias effect. However, as described above, the neutral threshold value on the source line contact SC side inc-

/6

reases in the state that the cell current does not flow because the NAND memory cell relating to this embodiment form is so constructed that the gate length extends in order of memory cells M(1), M(2) - M(15), M(16). Therefore, changes of neutral threshold value caused by the base bias effect at the time of readout can be canceled. Accordingly, a nonvolatile semiconductor memory with a small dispersion of neutral threshold value, a constant quantity of electric charge of floating gate FG in memory cells and a high reliability can be obtained.

[0039] Fig. 9 is a diagram graphically showing a result given by performing UV irradiation on NAND memory cells shown in Fig. 7 and Fig. 8. As is known from this Fig. 9, the dispersion of neutral threshold value of memory cells M(1) - M(16) of the NAND memory cell in the state that the cell current flows can be restrained than before. Accordingly, a nonvolatile semiconductor memory with a small dispersion of neutral threshold value, a

constant quantity of electric charge of floating gate FG in memory cells and a high reliability can be obtained.

[0040] The present invention is not limited to the above embodiment form and is possibly modifiable, and the impurity concentration, gate length, etc. given in the above embodiment form are only illustrations to the end.

[0041] As described above, the nonvolatile semiconductor memory of present invention can cancel the influence of neutral threshold value caused by the base bias effect at the time of readout and provide a memory with a small dispersion of neutral threshold value, a constant quantity of electric charge of floating gate FG in memory cells and a high reliability because the neutral threshold value of memory cells is so set up that the neutral threshold value of memory cells arranged on the downstream side is higher than the neutral threshold value of memory cells arranged on the upstream side in the flowing direction of current at the time of readout.

[Brief Description of the Invention]

[Fig. 1] Plan view of nonvolatile semiconductor memory relating to Embodiment Form 1 of present invention.

[Fig. 2] Sectional view of nonvolatile semiconductor memory relating to Embodiment Form 1 of present invention.

[Fig. 3] Diagram graphically showing neutral threshold value in case that cell current is allowed to flow in memory cells in nonvolatile semiconductor memory relating to Embodiment Forms 1 and 2 of present invention.

[Fig. 4] Plan view of nonvolatile semiconductor memory relating to Embodiment Form 2 of present invention.

[Fig. 5] Sectional view of nonvolatile semiconductor memory relating to Embodiment Form 2 of present invention.

[Fig. 6] Plan view showing modification example of nonvolatile semiconductor memory relating to of present invention.

[Fig. 7] Plan view of nonvolatile semiconductor memory relating to Embodiment Form 3 of present invention.

[Fig. 8] Sectional view of nonvolatile semiconductor memory relating to Embodiment Form 3 of present invention.

[Fig. 9] Diagram graphically showing neutral threshold value in case that cell current is allowed to flow in memory cells in nonvolatile semiconductor memory relating to Embodiment Form 3 of present invention.

[Fig. 10] (a) Plan view of conventional nonvolatile semiconductor memory, and (b) equivalent circuit diagram of conventional nonvolatile semiconductor memory.

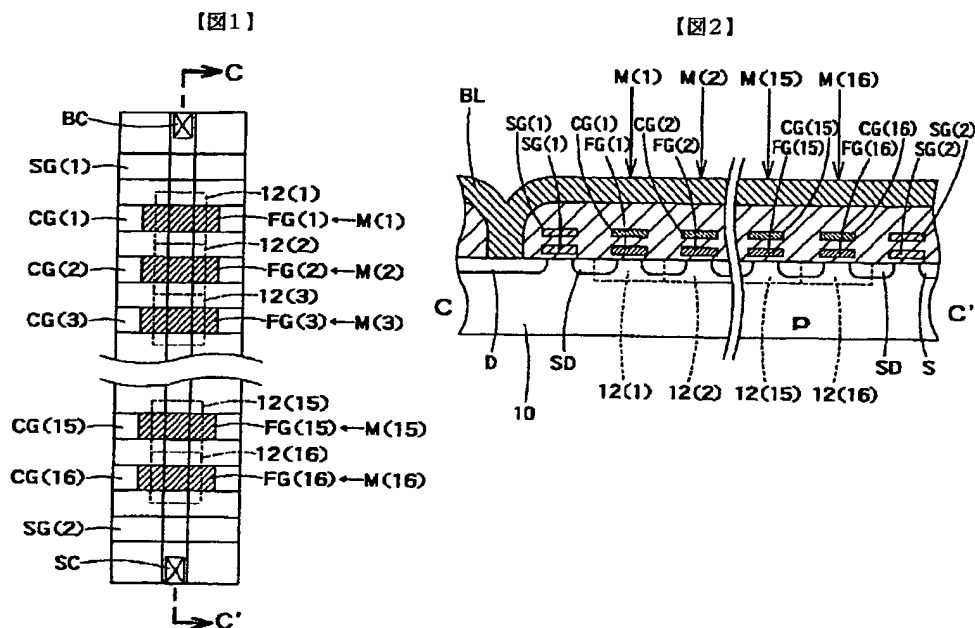
[Fig. 11] (a) A-A' sectional view in Fig. 10, and (b) B-B' sectional view in Fig. 10.

[Fig. 12] Diagram graphically showing neutral threshold value in case that cell current is allowed to flow in memory cells in nonvolatile semiconductor memory relating to Embodiment Form 3 of present invention.

[Description of the Symbols]

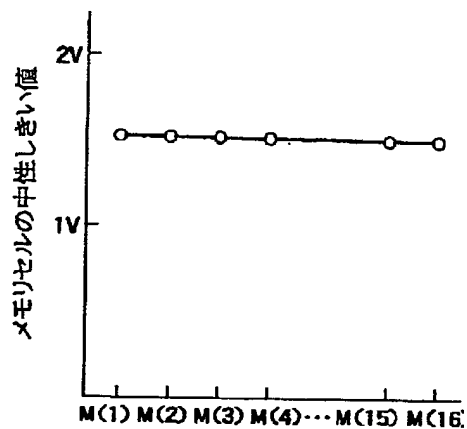
SG(1), SG(2)	selecting gates
CG(1) - CG(16)	control gates
FG(1) - FG(16)	float gates
M(1) - M(16)	memory cells
BC	bit line contact
SC	source line contact
BL	bit line
10	semiconductor substrate
12	channel implantation region

/1



【図3】

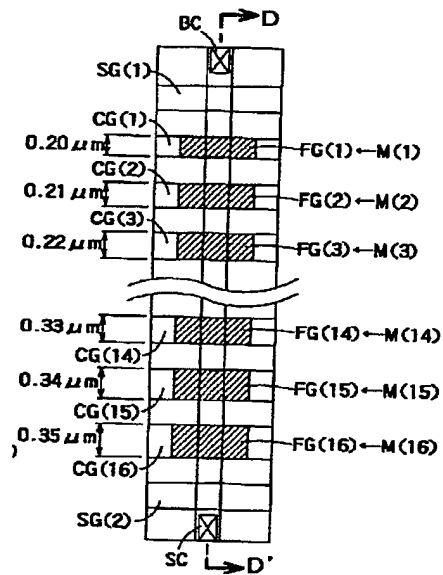
UV照射後のNAND型
メモリセルのしきい値
(場所依存性)



Threshold value of NAND memory cell after UV irradiation
(location independence)

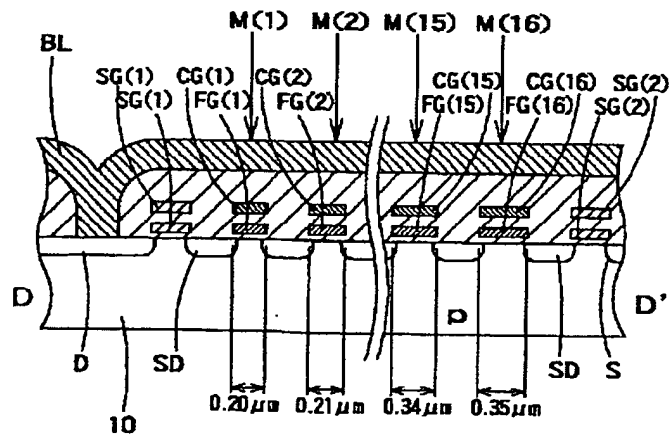
Neutral threshold value of memory cell

【図4】

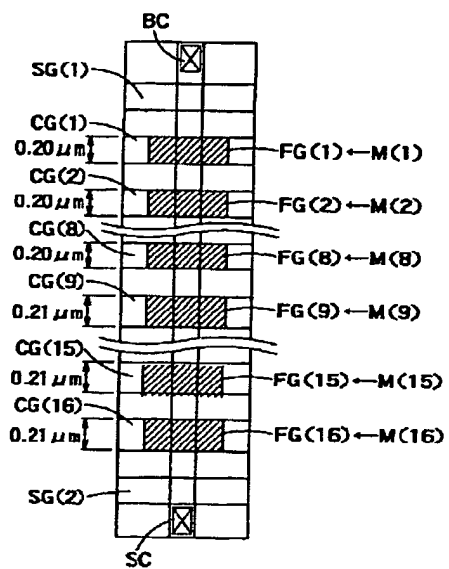


/8

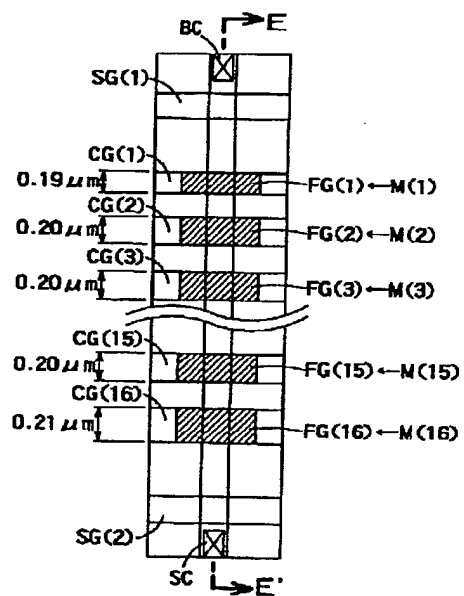
【図5】



【図6】

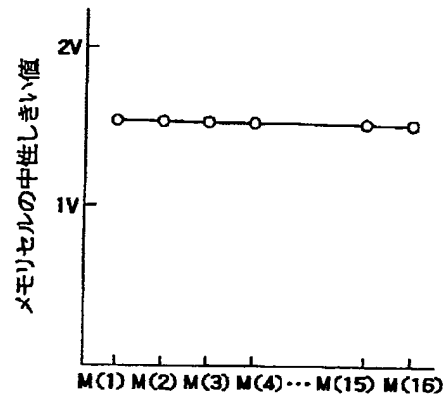


【図7】



【図9】

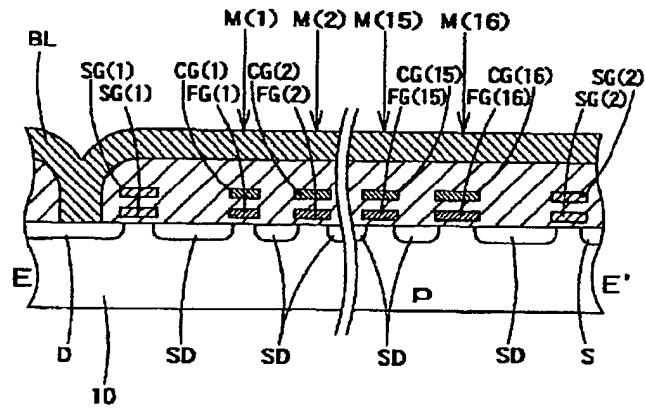
UV照射後のNAND型
メモリセルのしきい値
(場所依存性)



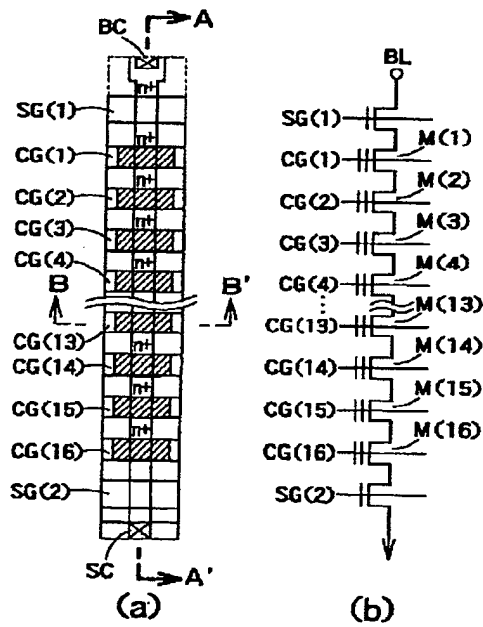
Threshold value of NAND memory cell after UV irradiation
(location independence)

Neutral threshold value of memory cell

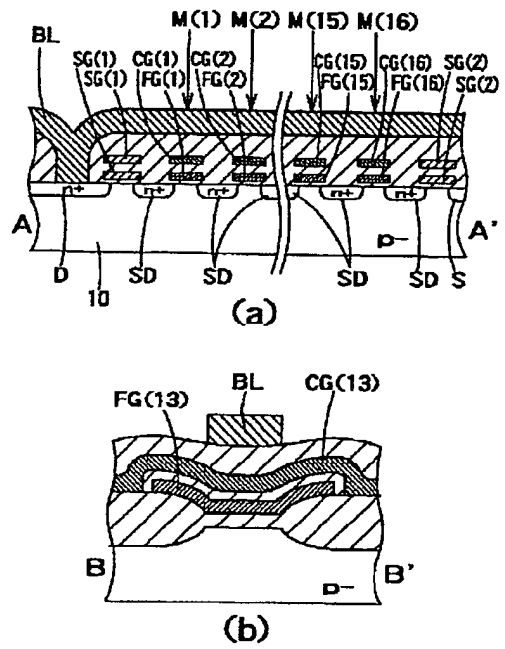
【図8】



【図10】

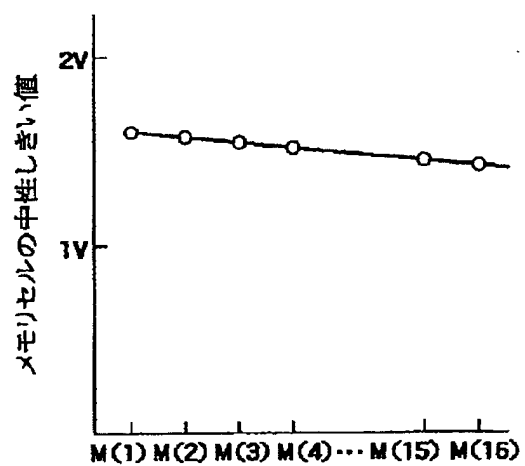


【図11】



【図12】

UV照射後のNAND型
メモリセルのしきい値
(場所依存性)



Threshold value of NAND memory cell after UV irradiation
(location independence)

Neutral threshold value of memory cell

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the nonvolatile semiconductor memory which has the NAND type memory cell to which connecting arrangement of two or more memory cells was especially carried out in in-series about a nonvolatile semiconductor memory.

[0002]

[Description of the Prior Art] Drawing 10 (a) is the plan of a NAND type cell array which can be set to the conventional nonvolatile semiconductor memory and with which it connected in in-series and two or more memory cells were formed, and drawing 10 (b) is drawing showing the equal circuit. Drawing 11 (a) is an A-A'-B-B' [in / drawing 10 (a) / it is a cross section and / in drawing 11 (b)]' cross section in drawing 10 (a).

[0003] Each memory cell is equipped with a floating gate FG and the control gate CG, and is constituted so that drawing 11 may show. By storing a charge in a floating gate FG, or discharging the stored charge, each memory cell is constituted so that data can be held.

[0004] in the nonvolatile semiconductor memory concerning this conventional technology, the NAND mold memory cell consists of 16 memory cell M (1) - M (16) so that drawing 10 and drawing 11 may show That is, the NAND type memory cell is constituted by connecting in in-series in the form where 16 memory cell M (1) - M (16) share the source / drain field SD. The selector gate SG (1) is formed in the drain side of memory cell M (1), and the selector gate SG (2) is formed in the source side of memory cell M (16). These selector gates SG (1) and SG (2) consist of two selection lines, respectively so that drawing 11 (a) may especially show. Here, 16 floating gates FG (1) - FG (16) and 16 control gates CG (1) - (16) are altogether formed with the same size.

[0005] The drain field D linked to a bit line BL is formed in the drain side of a selector gate SG (1) so that drawing 11 (a) may show. The portion linked to this bit line BL forms the bit line contact BC shown in drawing 10 (a). Moreover, the source field S linked to a source line is formed in the source side of a selector gate SG (2) so that drawing 11 (a) may show. The portion linked to this source line forms the source line contact SC shown in drawing 10.

[0006]

[Problem(s) to be Solved by the Invention] By setting the control gate CG of the selected memory cell M to 0V, and impressing ON state voltage to the other control gates CG, read-out of the data in the nonvolatile semiconductor memory which has a NAND type cell array which was mentioned above is how much to fall, by the time the voltage given to the bit line BL is transmitted to the source field S, and is judged. That is, it is judged by whether cell current flows or it does not flow.

[0007] Under the present circumstances, in the memory cell M near a bit line BL, and a memory cell far from a bit line BL, even if each memory cell M has the same neutral threshold, when a neutral threshold is seen as a NAND type cell array, dispersion arises according to the substrate bias effect by cell current flowing. Here, a neutral threshold says the threshold in the state where it is not even if a charge accumulates in the floating gate FG of each memory cell M, and it is not even if swept out. That is, the

number of electron holes is the same as the number of the electrons in a floating gate FG, therefore the threshold in the case of being in a neutral state is said. Drawing 12 showed the relation between each memory cell [of a NAND type memory cell] M (1) - M (16), and this neutral threshold.

[0008] This drawing 12 is a graph which shows the result which performed UV irradiation to the NAND type cell array shown in drawing 10 and drawing 11 , and measured the neutral threshold of each memory cell M (1) - M (16). A neutral threshold is higher than the memory cell M from a bit line BL with the further memory cell M near a bit line BL so that this drawing 12 may show. If it puts in another way, the neutral threshold is low at order toward memory cell M (16) far to a bit line BL from memory cell M (1) near a bit line BL. Thus, when the neutral threshold of a memory cell M varies, dispersion in the neutral threshold of the whole NAND type memory cell is made to expand. If dispersion is expanded, the neutral threshold of the whole NAND type memory cell will reduce the yield of a product, and will pose a problem also on reliability.

[0009] Then, this invention is made in view of the above-mentioned technical problem, and aims at offering the nonvolatile semiconductor memory which suppressed dispersion in the neutral threshold of the whole NAND type memory cell. Furthermore, it aims at offering the nonvolatile semiconductor memory which raised the yield of a product and raised reliability by suppressing dispersion in the neutral threshold of the whole memory cell in this way.

[0010]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the nonvolatile semiconductor memory concerning this invention It is the nonvolatile semiconductor memory equipped with two or more memory cells for the laminating of a floating gate and the control gate being carried out on a semiconductor substrate, connecting in in-series in the form where the source / drain field is shared between adjoining things, and constituting a NAND type memory cell. It is characterized by being constituted so that the neutral threshold of the memory cell of the downstream of cell current may become high rather than the neutral threshold of the memory cell of the upstream of cell current to the direction where cell current flows at the time of read-out of the aforementioned NAND type memory cell.

[0011]

[Embodiments of the Invention] The [1st operation gestalt] The 1st operation gestalt of this invention makes the neutral threshold of each memory cell high one by one, and cancels the influence of the neutral threshold by the substrate bias effect at the time of read-out by making it become high in the nonvolatile semiconductor memory which has a NAND type memory cell as the high impurity concentration of the channel in plastic field of each memory cell goes in the direction in which the cell current of each memory cell flows. ***** is explained more below.

[0012] Drawing 1 is drawing showing superficially the NAND type memory cell of the nonvolatile semiconductor memory concerning this operation gestalt, and drawing 2 is a C-C' cross section in drawing 1 .

[0013] 16 each memory cell M (1) which constitutes a NAND type memory cell - M (16) are equipped with the control gate CG (1) - CG (16), and floating-gate FG(1) -FG(16), respectively so that drawing 1 may show. The selector gate SG (1) is formed in the drain side of this NAND type memory cell, and the selector gate SG (2) is formed in the source side. The bit line contact BC is formed in the drain side of a selector gate SG (1). The source line contact SC is formed in the source side of a selector gate SG (2).

[0014] Each memory cell M (1) - M (16) are formed on the P type semiconductor substrate 10 so that drawing 2 may show. Each memory cell (1) -M (16) has N type transistor structure which diffuses an N type impurity after gate processing. Each [these] memory cell M (1) The high impurity concentration of channel in plastic field 12(1) -12(16) determines the neutral threshold of -M (16). this channel in plastic field 12 (1) - in the NAND type memory cell concerning this operation gestalt -- the dose of the impurity (boron) of 12 (16) goes to the source line contact SC from the bit line contact BC -- it is alike, and it follows, and from $3E12cm^{-3}$ to $4.5E12cm^{-3}$, it cuts fine $0.1E12cm^{-3}$, comes out, and is changing That is, the dose of the boron of the channel in plastic field 12 (1) of memory cell M (1) is $3E12cm^{-3}$, and the dose of the boron of the channel in plastic field 12 (2) of a memory cell (2) is $3.1E12cm^{-3}$.

memory cell M(3) -- after this -- these -- the same -- $0.1E12cm^{-3}$ - the dose increases for every three, the dose of the boron of the channel in plastic field 12 (15) of a memory cell 12 (15) is $4.4E12cm^{-3}$, and the dose of the boron of the channel in plastic field 12 (16) of a memory cell 12 (16) is $4.5E12cm^{-3}$

[0015] Thus, since it was made to increase as it went to the source line contact SC from the channel in plastic field 12 (1) - bit line contact BC side whose dose of the impurity of 12 (16) is the direction where cell current flows It is constituted so that a neutral threshold may become high and the neutral threshold of memory cell M (16) may become the highest as the neutral threshold of memory cell M (1) becomes the lowest and it goes to the source line contact SC from this memory cell M (1).

[0016] Channel in plastic field 12(1) -12(16) of a NAND type memory cell as shown in these drawing 1 and drawing 2 can be obtained by the following manufacturing processes.

[0017] First, the resist which has opening is formed according to a lithography process on the channel in plastic field 12 (1). And in plastic **** and the channel in plastic field 12 (1) are formed for boron by the concentration of $3E12cm^{-3}$ from on this resist. Next, the resist which has opening is formed according to a lithography process on the channel in plastic field 12 (2). And IMPURA is carried out for boron by the concentration of $3.1E12cm^{-3}$ from on this resist, and the channel in plastic field 12 (2) is formed. Next, the resist which has opening is formed according to a lithography process on the channel in plastic field 12 (3). And in plastic **** and the channel in plastic field 12 (3) are formed for boron by the concentration of $3.2E12cm^{-3}$ from on this resist.

[0018] Thus, the process which increases the dose of boron every [$0.1E12cm^{-3} / 3$] is repeated, and the channel in plastic field 12 or subsequent ones (4) is formed one by one. Finally, the resist which has opening is formed according to a lithography process on the channel in plastic field 16 (16). And in plastic **** and the channel in plastic field 12 (16) are formed for boron by the concentration of $4.5E12cm^{-3}$ from on this resist.

[0019] In the nonvolatile semiconductor memory which has the above NAND type memory cells, at the time of read-out, 2V are impressed to a bit line BL, and 0V are impressed to a source line. In this case, cell current flows toward a source line contact SC portion from a bit line contact BC portion. Under the present circumstances, according to the substrate bias effect, even if it is the memory cell M which has the same neutral threshold, the neutral threshold when passing this cell current acts so that it may become low as it goes to the source line contact SC. However, the direction of the memory cell M by the side of the source line contact SC is constituted so that, as for the NAND type memory cell concerning this operation gestalt, a neutral threshold may become high in the state where cell current does not flow as mentioned above. For this reason, change of the neutral threshold by the substrate bias effect at the time of read-out is cancellable.

[0020] Drawing 3 is drawing in which making into a graph the result which performed UV irradiation to the NAND type memory cell shown in drawing 1 and drawing 2, and measured the neutral threshold, and showing it. Where cell current is passed, the neutral threshold of each memory cell [of this NAND type memory cell] M (1) - M (16) becomes almost fixed so that this drawing 3 may show. Therefore, if the NAND type memory cell concerning this operation form is used, the amount of charges of a floating gate FG with little neutral threshold dispersion is fixed at each memory cell, and a reliable nonvolatile semiconductor memory can be obtained.

[0021] In addition, in this 1st operation form, in order to cut down the number of lithography processes, and the number of in plastic processes, it is also possible to summarize channel in plastic field 12(1) -12 (16) per predetermined group. For example, even memory cell M (channel in plastic field 12(1) -12(8 of 1) - M (8)) is formed by the high impurity concentration same as one group. It is also possible to form even memory cell M (channel in plastic field 12(9) -12(16 of 9) - M (16)) as one group by the same high impurity concentration higher than channel in plastic field 12(1) -12(8).

[0022] In this case, the resist in which it collected on the channel in plastic field 12 (1) - 12 (8), and opening was prepared is formed, for example, IMPURA of boron is performed by the dose of $3.3E12cm^{-3}$. Next, the resist in which it collected on the channel in plastic field 12 (9) - 12 (16), and opening was prepared is formed, for example, IMPURA of boron is performed by the dose of $4.0E12cm^{-3}$. By doing in this way, curtailment of the number of processes of a lithography process and

an in plastic process can be aimed at. And even if it makes a NAND type memory cell such composition, conventionally, dispersion in a neutral threshold when cell current flows can be suppressed.

[0023] moreover -- not necessarily -- channel in plastic field 12 (1) - 12 (16) -- channel in plastic field 12 (1) - it is not necessary to make it two division into equal parts of 12 (8) and 12(9) -12(16) For example, the resist which has opening is formed with lithography only on the channel in plastic field 12 (16) of memory cell M (16) near the source line contact SC, and IMPURA of boron is performed by the dose of $3.1 \times 10^{12} \text{cm}^{-3}$. Next, the resist which has opening is formed with lithography on the channel in plastic field 12 (1) of remaining memory cell M (1) - M (15) - 12 (15), and it may be made to perform IMPURA of boron by the dose of $3.0 \times 10^{12} \text{cm}^{-3}$.

[0024] Furthermore, these lithography process and an in plastic process can also serve as selector gates SG (1) and these processes over SG (2). Moreover, it can also serve with these processes of a circumference circuit.

[0025] Moreover, contrary to the operation gestalt mentioned above, at the time of read-out, the voltage of 2V may be impressed to a source line, 0V may be impressed to a bit line BL, and cell current may flow from a source line side to a bit line BL side. In such a case, what is necessary is just to set up contrary to the operation gestalt mentioned above, so that the neutral threshold of a memory cell M may become high as it goes to the bit line contact BC from the source line contact SC.

[0026] The [2nd operation gestalt] In the nonvolatile semiconductor memory which has a NAND type memory cell, by making it become long, the 2nd operation gestalt of this invention makes the neutral threshold of each memory cell high one by one, and cancels the influence of the neutral threshold by the substrate bias effect at the time of read-out as the gate length of a memory cell goes in the direction in which the cell current of each memory cell flows. ***** is explained more below.

[0027] Drawing 4 is drawing showing superficially the NAND type cell array of the nonvolatile semiconductor memory concerning this operation gestalt, and drawing 5 is a D-D' cross section in drawing 4.

[0028] The gate length of memory cell M (1) - M (16) consists of nonvolatile semiconductor memories concerning this operation gestalt so that it may become long gradually sequentially from the bit line contact BC side so that drawing 4 may show. Specifically, gate length of the control gate CG (1) of memory cell M (1) and a floating gate FG (1) is set to 0.2 micrometers, and gate length of the control gate CG (2) of memory cell M (2) and a floating gate FG (2) is set to 0.21 micrometers. Thus, it lengthens 0.01 micrometers of gate lengths at a time as it goes to the source line contact SC from the bit line contact BC. Thus, if it lengthens 0.01 micrometers of gate lengths at a time, the gate length of the control gate CG (16) of memory cell M (16) and a floating gate FG (16) will be set to 0.35 micrometers. By constituting gate length in this way, by the short channel effect of a transistor, the neutral threshold of the short memory cell M of gate length becomes low, and the neutral threshold of the long memory cell M of gate length becomes high.

[0029] In the nonvolatile semiconductor memory which has the above NAND type memory cells, at the time of read-out, 2V are impressed to a bit line BL, and 0V are impressed to a source line. In this case, cell current flows toward a source line contact SC portion from a bit line contact BC portion. Under the present circumstances, according to the substrate bias effect, even if it is the memory cell M which has the same neutral threshold, this neutral threshold acts so that it may become low as it goes to the source line contact SC. However, since the NAND type memory cell concerning this operation gestalt is constituted so that it may become long as gate length goes to the source line contact SC from the bit line contact BC as mentioned above, in the state where cell current does not flow, a neutral threshold becomes [the direction of the memory cell by the side of the source line contact SC] high. For this reason, change of the neutral threshold by the substrate bias effect at the time of read-out is cancellable.

[0030] Even when UV irradiation is performed to the NAND type memory cell shown in drawing 4 and drawing 5 and a neutral threshold is measured, the graph shown in drawing 3 mentioned above is obtained. That is, the amount of charges of a floating gate FG with little neutral threshold dispersion is fixed at each memory cell, and a reliable nonvolatile semiconductor memory can be obtained.

[0031] In addition, in this 2nd operation form, **** can also summarize gate length per predetermined memory cell, in order to suppress the increase in cell area. For example, as shown in drawing 6, it is also possible to set gate length of memory cell M (1) - M (8) to 0.2 micrometers, and to set gate length of memory cell M (9) - M (16) to 0.21 micrometers. The increase in cell area can be suppressed by this, and an improvement of dispersion in the neutral threshold of a memory cell can also be expected.

[0032] Furthermore, only gate length of memory cell M (16) which is the bottom style side to which cell current flows can be made longer than the gate length of other memory cell M (1) - M (15). For example, it is also possible to set gate length of memory cell M (1) - M (15) to 0.2 micrometers, and to set gate length of memory cell M (16) to 0.21 micrometers.

[0033] Moreover, contrary to the operation gestalt mentioned above, at the time of read-out, the voltage of 2V may be impressed to a source line, 0V may be impressed to a bit line BL, and cell current may flow from a source line side to a bit line BL side. In such a case, what is necessary is just to constitute contrary to the operation gestalt mentioned above, so that the gate length of a memory cell M may become long as it goes to the bit line contact BL from the source line contact SC.

[0034] The [3rd operation gestalt] In the nonvolatile semiconductor memory in which the 3rd operation gestalt of this invention has a NAND type memory cell Gate length of the memory cell most prepared in bit line contact approach is shortened most. By lengthening most gate length of the memory cell most prepared in source line contact approach, and arranging with the middle gate length the gate length of other memory cells prepared among these memory cells The influence of the neutral threshold by the substrate bias effect at the time of read-out is canceled. ***** is explained more below.

[0035] Drawing 7 is drawing showing superficially the NAND type cell array of the nonvolatile semiconductor memory concerning this operation gestalt, and drawing 8 is an E-E' cross section in drawing 7.

[0036] The interval of a selector gate SG (1) and the control gate CG (1) and the interval of a selector gate SG (2) and the control gate SG (16) are widely set up in consideration of doubling of processing of the slit section etc. rather than the interval of other control gates SC (2) - CG (15) so that drawing 7 may show. If it does in this way, even if it *****s by the loading effect of the lithography process in manufacture process by the resist which has opening of the same gate length, it needs to be cautious of the point that the control gates CG (1) and CG (16) become thinner than others.

[0037] The gate size on the mask at the time of PEP creates memory cell M (1) - M (15) only for 0.2 micrometers and memory cell M (16) by 0.22 micrometers. If thin ** by the loading effect is set to 0.01 micrometers, as for the gate length of the memory cell in this operation gestalt, 0.20 micrometers and memory cell M (16) will be formed [memory cell M (1)] for 0.19 micrometers, memory cell M (2) - M (15) by 0.21 micrometers. Therefore, if it sees in a simple substance cell, the neutral threshold of memory cell M (1) becomes the lowest, the neutral threshold of memory cell M (2) - M (15) will become higher than this, and the neutral threshold of memory cell M (16) will become the highest.

[0038] In the nonvolatile semiconductor memory which has the above NAND type memory cells, at the time of read-out, 2V are impressed to a bit line BL, and 0V are impressed to a source line. In this case, cell current flows toward a source line contact SC portion from a bit line contact BC portion. Under the present circumstances, according to the substrate bias effect, even if it is the memory cell M which has the same neutral threshold, this neutral threshold acts so that it may become low as it goes to the source line contact SC. However, since the NAND type memory cell concerning this operation gestalt is constituted so that gate length may become long as mentioned above at the order of memory cell M (1), M (2) - M (15), and M (16), in the state where cell current does not flow, a neutral threshold becomes [the direction of the memory cell by the side of the source line contact SC] high. For this reason, change of the neutral threshold by the substrate bias effect at the time of read-out is cancellable. Therefore, the amount of charges of a floating gate FG with little neutral threshold dispersion is fixed at each memory cell, and a reliable nonvolatile semiconductor memory can be obtained.

[0039] Drawing 9 is drawing in which making into a graph the result which performed UV irradiation to the NAND type memory cell shown in drawing 7 and drawing 8, and measured the neutral threshold, and showing it. Dispersion in the neutral threshold of each memory cell [of the NAND type memory

cell in the state where cell current was passed] M (1) - M (16) can be conventionally suppressed so that this drawing 9 may show. Therefore, if the NAND type memory cell concerning this operation gestalt is used, the amount of charges of a floating gate FG with little neutral threshold dispersion is fixed at each memory cell, and a reliable nonvolatile semiconductor memory can be obtained.

[0040] in addition, high impurity concentration, gate length, etc. which this invention was not limited to the above-mentioned operation gestalt, but could deform it into various and which were raised with the above-mentioned operation gestalt are only instantiation to the last

[0041]

[Effect of the Invention] As opposed to the direction where current flows a setup of the neutral threshold of a memory cell at the time of read-out according to the nonvolatile semiconductor memory of this invention as explained above Rather than the neutral threshold of the memory cell prepared in the upstream, since it was made to make high the neutral threshold of the memory cell prepared in the downstream The influence of the neutral threshold by the substrate bias effect at the time of read-out can be canceled, and the amount of charges of a floating gate with little neutral threshold dispersion can offer memory with high fixed reliability by each memory cell.

[Translation done.]